

# Wie effektiv sind Wärmevias?

## - weniger als Sie denken -

### Zusammenfassung

Für sechs Baugruppenlayouts wird mithilfe von 3-dimensionalen Leiterplattenmodellen die Temperatur des zentralen Bauelements numerisch berechnet. Die Berechnungsergebnisse mal mit und mal ohne Wärmevias unterscheiden sich selten um mehr als **10%**. Sechs Beispiele sind kein Beweis, aber ein starkes Indiz.

### Inhalt

Einleitung.....	1
1. GaNSystems GS61008P-EVBHF .....	3
Daten.....	3
Modell .....	4
Berechnungsergebnisse.....	6
Mit Pad Vias .....	7
Ohne Thermal Pad Vias .....	8
2. STMicroelectronics AEK-AUD-D903V1 .....	8
Daten.....	9
Modell .....	10
Berechnungsergebnisse.....	11
Mit 20 Slug Vias.....	11
Ohne Slug Vias .....	12
Mit 80 Slug Vias.....	13
Mit 14 Slug Vias.....	14
3. Analog DC2387A .....	15
Daten.....	15
Modell .....	16
Berechnungsergebnisse.....	17
Original Viafeld.....	18
Mit Thermovias .....	18
4. Microchip EVB-USB5806 .....	19
Daten.....	19
Modell .....	20
Berechnungsergebnisse.....	21
Original Viafeld.....	21
Ohne Slug Vias .....	21
5. MiniPC.....	22
Daten.....	22
Modell .....	23
Berechnungsergebnisse.....	23
Original BGA Viafeld .....	23
Ohne BGA Vias .....	24
6. Intersil ISL8340.....	24
Daten.....	25
Modell .....	25
Berechnungsergebnisse.....	27
Original Viafeld.....	27
Ohne jedes Via .....	28
Literatur .....	28

### Einleitung

Es wird allgemein angenommen, dass kupferplattierte Bohrungen unter einem sich heizenden Bauteil für die Wärmeabfuhr, d.h. für die Kühlung, hilfreich seien. Ist das wirklich so? Ist das immer so? Schließlich gibt es noch weitere Pfade für den Wärmefluss vom Bauteil in die kältere Umgebung

- direkte Wärmeabgabe von der Bestückungsseite an die Umgebung über Konvektion und Strahlung
- Wärmespreizung (Wärmeleitung) innerhalb der Leiterplatte in kälteren Gebiete hinein

- Wärmeabgabe von der gegenüberliegenden Seite des Bauteils an die Umgebung

Je nach Layout, Lagenanzahl und der Anordnung anderer Wärmequellen kann der ein oder andere Mechanismus unterdrückt werden und damit wirkungslos sein. Zum Beispiel gibt es keine Wärmespreizung, wenn die Baugruppe aufgrund von vielen gleichen Bauteilen überall gleich warm ist. Andererseits könnte Wärmespreizung verstärkt werden indem direkt unterhalb der Hauptwärmequelle eine GND Lage die Wärme aufnimmt und in kältere Randbereiche wegtransportiert [1].

Wärmevias sind Bohrungen, die für die elektronische Funktion nicht notwendig sind, sondern nur Wärme vom Bauteil wegführen sollen. Ich behaupte immer, dass Wärmevias nur dann Sinn machen, wenn das dem Bauteil gegenüberliegende Ende der Bohrung an einem Kühlkörper, oder genauer gesagt dem Kleber, endet<sup>1</sup>. Dann stellt sich die Frage, ob man wirklich Extravias braucht, oder ob man sie füllen sollte, oder ob nicht der Kühlkörper alleine schon einen Großteil zusätzlicher Kühlungsarbeit macht. Das soll hier nicht untersucht werden.

Jemandem mit langjähriger Erfahrung könnte es möglicherweise gelingen einem Design vorab anzusehen, ob zusätzliche Bohrungen ohne Kühlkörper einen zusätzlichen Kühlungseffekt bringen. Rth-Formeln [2] oder Kurven in AppNotes [3] sind für die Auslegung eines Viasfeldes meistens nur Schätzungen, weil die Formeln selten zu Ihrer Anwendung passen oder die dort verwendete Leiterplatte nicht repräsentativ für Ihre spezielle Entwärmungsaufgabe ist. Was in Formeln nicht wiedergegeben werden kann ist das spezielle Layout bzw. der sog. Wärmespreizwiderstand („heat spreading resistance“). Wärme fließt sowieso immer in den prepregs und über die Lagen vom Bauteil ab. Wieviel Wärmefluss kann für die Vias übrigbleiben?

Allgemeingültige Rezepte zu geben ist nicht möglich, dafür ist die Vielfalt an Konstruktionen und Varianten zu groß. In diesem Artikel wähle ich den empirischen Weg über Beispielberechnungen anhand öffentlich zugänglichen Evaluierungsboards von Halbleiterherstellern. Aber auch diese Baugruppendesigns sind in gewisser Hinsicht akademisch und nicht praxisnah. Mein Werkzeug für die nachfolgenden Untersuchungen ist die numerische Berechnung des Temperaturfelds mit der TRM Software von ADAM-Research, welche Lagen, Layout und Bohrungen zu einem dreidimensionalen Berechnungsmodell schnürt [4].

Ich werde sechs Designs aus dem Internet durchrechnen, einmal mit Vias und einmal ohne. Kommt in beiden Varianten ungefähr die gleiche Temperatur heraus, dann sind die Vias uneffektiv.

Tabelle 1 fasst die Berechnungsergebnisse zusammen. Die Temperaturwerte sind relativ zur Umgebungstemperatur angegeben.

---

<sup>1</sup> Leiterplatte, Bauteil, Vias mit Kühlkörper sind das einzige Szenario bei dem man mit dem Taschenrechner zu einem näherungsweise brauchbaren Ergebnis kommt [5].

Tabelle 1. Übersicht  $T-T_{ambient}$

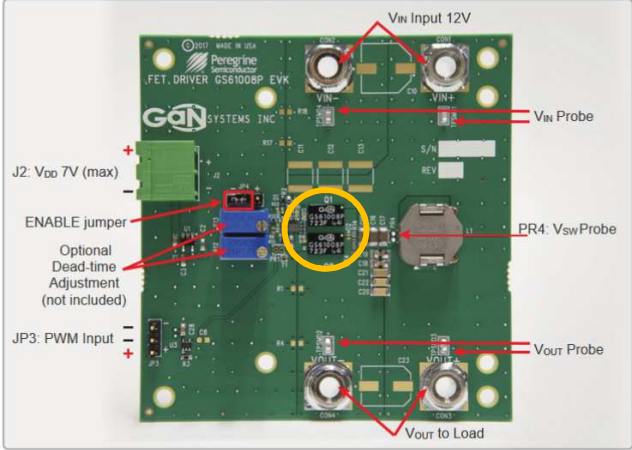
Leiterplattenbaugruppe	$P_{diss}$	Mit Pad Vias	Ohne Pad Vias	Kommentar
GS61008P-EVBHF	2 x 2.5 W	89 K	99 K	Footprintkühlung, thermal pad
AEK-AUD-D903V1	5 W	110 K	120 K	Footprintkühlung. Slug-down. 20 Vias
		105 K		80 slug vias
		115 K		14 slug vias
DC2387A	7.3 W	85 K	-	BGA Signalvias
		80 K	-	zusätzliche empfohlene Wärmevias
EVB-USB5806	5 W	95 K	105 K	Footprint slug
MiniPC	30 W	100 K	120 K	BGA Vias
ISL8340	8 W	84 K	88 K	Geringste Viaeffektivität

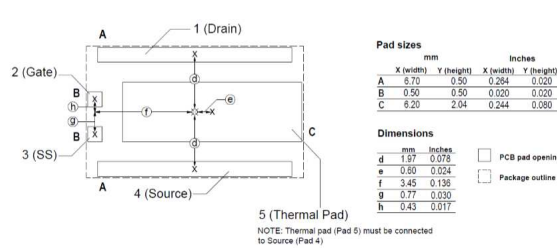
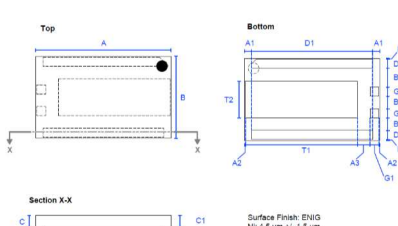
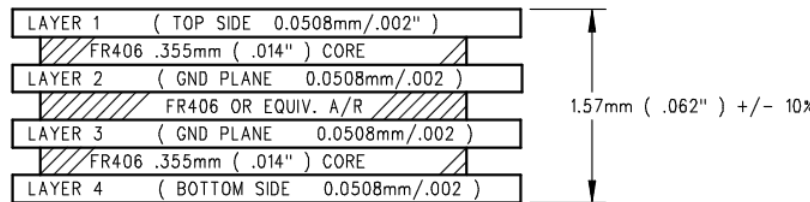
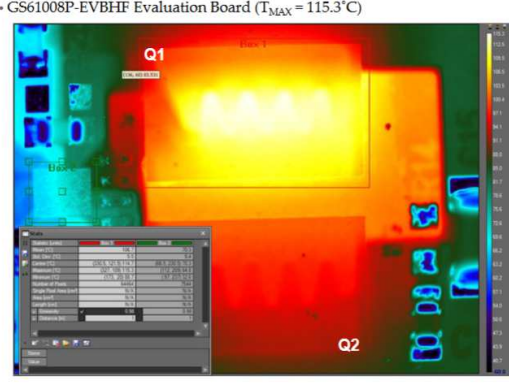
Aus Tab. 1 sieht man, dass es selten effektive Wärmeabfuhr durch Vias bei den Evaluation Boards gibt. Der Effekt ist in der **Gegend von 10%**. Weil die Endtemperatur ungefähr proportional zur Leistung ist, ist der Temperaturgewinn durch Vias bei hoher Verlustleistung größer als bei kleiner. Zum Beispiel schwindet der Unterschied beim zweiten Boards bei 1 W auf  $10\text{ K} / 5 = 2\text{ K}$ .

## 1. GaNSystems GS61008P-EVBHF

### Daten

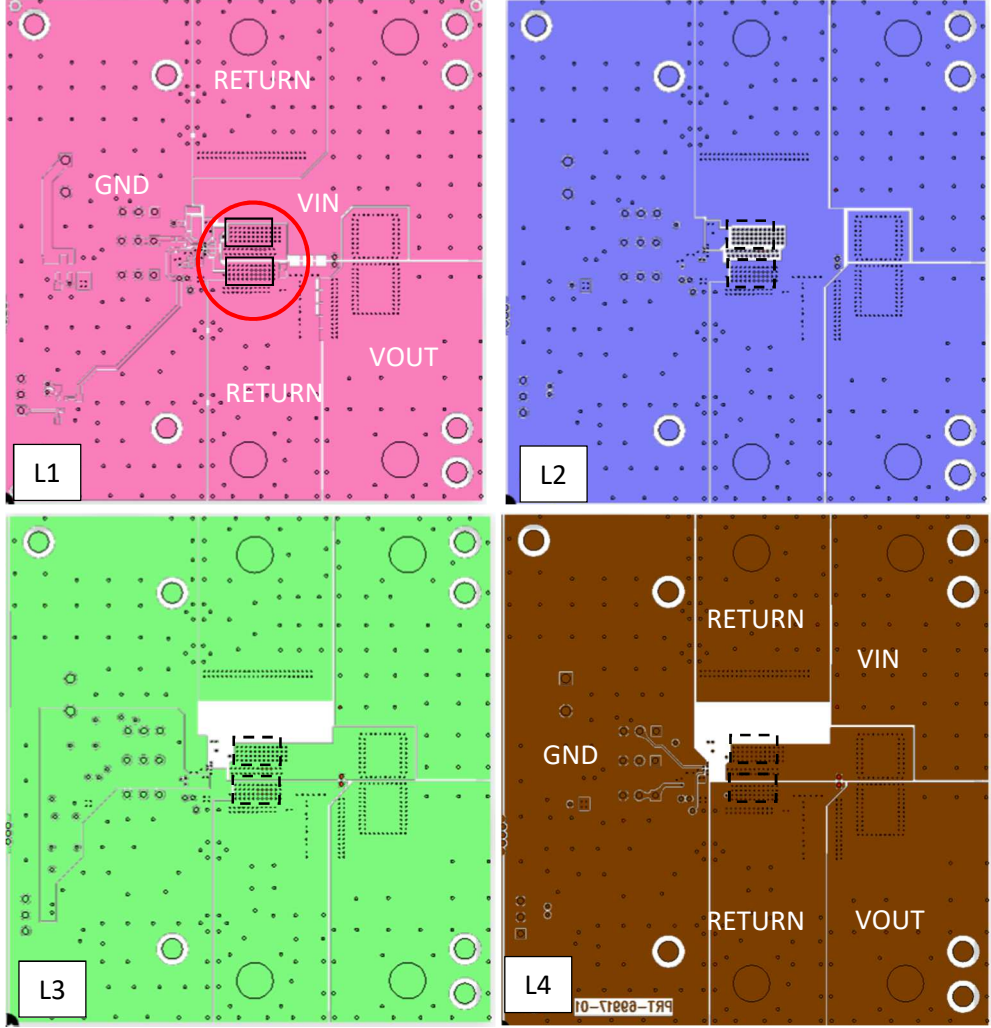
Das Bauteil ist für die Kühlung durch die Leiterplatte ausgelegt. Zitat aus dem Datenblatt: *"The substrate is internally connected to the thermal pad on the bottom-side of the package. The source pad must be electrically connected to the thermal pad for optimal performance. The transistor is designed to be cooled using the printed circuit board. The Drain pad is not as thermally conductive as the thermal pad. However, adding more copper under this pad will improve thermal performance by reducing the package temperature."*

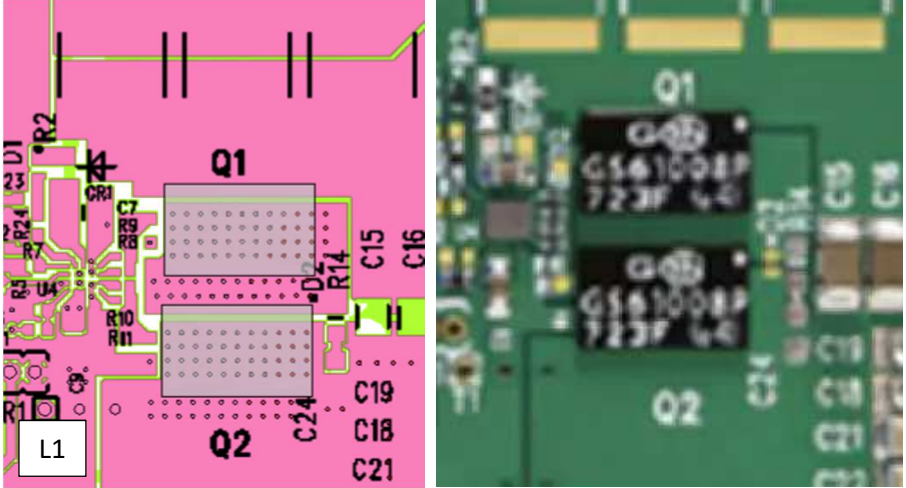
Ansicht	
Quelle	<a href="https://gansystems.com/evaluation-boards/gs61008p-evbhf/">https://gansystems.com/evaluation-boards/gs61008p-evbhf/</a>
Größe	76 mm x 80 mm

Bauteil	Q1, Q2. MOSFET, N-CH, 60V, 50A, TDSO8 GaN Systems. <i>Thermal pad</i>																																											
Datenblatt	<p>GS61008P-DS-Rev-200402.pdf</p> <p>Recommended PCB Footprint</p>  <p>Pad sizes</p> <table border="1"> <thead> <tr> <th></th> <th colspan="2">mm</th> <th colspan="2">Inches</th> </tr> <tr> <th></th> <th>X (width)</th> <th>Y (height)</th> <th>X (width)</th> <th>Y (height)</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>6.20</td> <td>0.50</td> <td>0.244</td> <td>0.020</td> </tr> <tr> <td>B</td> <td>0.50</td> <td>0.50</td> <td>0.020</td> <td>0.020</td> </tr> <tr> <td>C</td> <td>6.20</td> <td>2.04</td> <td>0.244</td> <td>0.080</td> </tr> </tbody> </table> <p>Dimensions</p> <table border="1"> <thead> <tr> <th></th> <th>mm</th> <th>Inches</th> </tr> </thead> <tbody> <tr> <td>d</td> <td>1.27</td> <td>0.050</td> </tr> <tr> <td>e</td> <td>0.50</td> <td>0.024</td> </tr> <tr> <td>f</td> <td>3.45</td> <td>0.136</td> </tr> <tr> <td>g</td> <td>0.77</td> <td>0.030</td> </tr> <tr> <td>h</td> <td>0.43</td> <td>0.017</td> </tr> </tbody> </table> <p>NOTE: Thermal pad (Pad 5) must be connected to Source (Pad 4)</p> <p>Package Dimensions</p>  <p>Surface Finish: ENIG Ni: 4.5 um +/- 1.5 um Au: 0.05 um +/- 0.03 um</p> <p>7.55 mm x 4.6 mm</p> <ul style="list-style-type: none"> <li>- Thermal Resistance (junction-to-case) – bottom side <math>R_{\theta JC} = 0.55 \text{ } ^\circ\text{C/W}</math></li> <li>- Drain-to-Source On Resistance <math>R_{DS(on)} 17.5 \text{ m}\Omega @ V_{GS} = 6 \text{ V}, T_J = 150 \text{ } ^\circ\text{C}, I_{DS} = 27 \text{ A}</math></li> </ul>		mm		Inches			X (width)	Y (height)	X (width)	Y (height)	A	6.20	0.50	0.244	0.020	B	0.50	0.50	0.020	0.020	C	6.20	2.04	0.244	0.080		mm	Inches	d	1.27	0.050	e	0.50	0.024	f	3.45	0.136	g	0.77	0.030	h	0.43	0.017
	mm		Inches																																									
	X (width)	Y (height)	X (width)	Y (height)																																								
A	6.20	0.50	0.244	0.020																																								
B	0.50	0.50	0.020	0.020																																								
C	6.20	2.04	0.244	0.080																																								
	mm	Inches																																										
d	1.27	0.050																																										
e	0.50	0.024																																										
f	3.45	0.136																																										
g	0.77	0.030																																										
h	0.43	0.017																																										
Lagen	 <p>1.57mm ( .062" ) +/- 10%</p>																																											
Thermal Vias	40 + 40																																											
Messung	<p>GS61008P-EVBHF-Technical-Manual-Rev-200526.pdf</p> <p>No heat sinking, at room temperature: <math>V_{IN} = 48\text{V}, V_{OUT} = 12\text{V}, I_{OUT} = 12\text{A}, f_{sw} = 1 \text{ MHz}</math></p> <p>Figure 10 - GS61008P-EVBHF Evaluation Board (<math>T_{MAX} = 115.3^\circ\text{C}</math>)</p>  <p>Q1=115 °C, Q2 ≈ 95...100 °C</p> <p>GS61008P-EVBHF Rev. 200526 © 2020 GaN Systems Inc. www.gansystems.com</p>																																											

## Modell

Im Datensatz RSL10-002GEVB\_GERBER.ZIP befinden sich nur Gerber- und Bohrfiles. Ein Platzierungsfile ist nicht enthalten. Deshalb wird die Position der Bauteile geschätzt. Die Verlustleistung für das Thermogramm ist ebenfalls nicht genau bekannt und müsste zwischen 2.5 W und 2.8 W pro Q liegen.

<p>Lagenaufbau</p> <p>„Silk“ dient nur zur Orientierung</p>	<table border="1"> <thead> <tr> <th>Name</th> <th>Type</th> <th>File</th> <th>View</th> <th>FR4 white</th> <th>Thick (um)</th> <th>Conductor</th> <th>Dielectric</th> <th>Expose</th> <th>Color</th> </tr> </thead> <tbody> <tr> <td>Silk</td> <td>ger</td> <td>PRT-69917-01_TS.pho</td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>1</td> <td>FR4\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td>Black</td> </tr> <tr> <td>L1</td> <td>ger</td> <td>PRT-69917-01_L1.pho</td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>50</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td>Pink</td> </tr> <tr> <td>pre1</td> <td>pre</td> <td></td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>355</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>L2</td> <td>ger</td> <td>PRT-69917-01_L2.pho</td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>50</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td>Blue</td> </tr> <tr> <td>pre2</td> <td>pre</td> <td></td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>660</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>L3</td> <td>ger</td> <td>PRT-69917-01_L3.pho</td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>50</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td>Green</td> </tr> <tr> <td>pre3</td> <td>pre</td> <td></td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>355</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>L4</td> <td>ger</td> <td>PRT-69917-01_L4.pho</td> <td><input type="checkbox"/></td> <td><input checked="" type="checkbox"/></td> <td>50</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td>Brown</td> </tr> </tbody> </table>	Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color	Silk	ger	PRT-69917-01_TS.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	1	FR4\$TRM	FR4\$TRM	Expose	Black	L1	ger	PRT-69917-01_L1.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Pink	pre1	pre		<input type="checkbox"/>	<input checked="" type="checkbox"/>	355	Cu\$TRM	FR4\$TRM			L2	ger	PRT-69917-01_L2.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Blue	pre2	pre		<input type="checkbox"/>	<input checked="" type="checkbox"/>	660	Cu\$TRM	FR4\$TRM			L3	ger	PRT-69917-01_L3.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Green	pre3	pre		<input type="checkbox"/>	<input checked="" type="checkbox"/>	355	Cu\$TRM	FR4\$TRM			L4	ger	PRT-69917-01_L4.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Brown
Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color																																																																																		
Silk	ger	PRT-69917-01_TS.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	1	FR4\$TRM	FR4\$TRM	Expose	Black																																																																																		
L1	ger	PRT-69917-01_L1.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Pink																																																																																		
pre1	pre		<input type="checkbox"/>	<input checked="" type="checkbox"/>	355	Cu\$TRM	FR4\$TRM																																																																																				
L2	ger	PRT-69917-01_L2.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Blue																																																																																		
pre2	pre		<input type="checkbox"/>	<input checked="" type="checkbox"/>	660	Cu\$TRM	FR4\$TRM																																																																																				
L3	ger	PRT-69917-01_L3.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Green																																																																																		
pre3	pre		<input type="checkbox"/>	<input checked="" type="checkbox"/>	355	Cu\$TRM	FR4\$TRM																																																																																				
L4	ger	PRT-69917-01_L4.pho	<input type="checkbox"/>	<input checked="" type="checkbox"/>	50	Cu\$TRM	FR4\$TRM	Expose	Brown																																																																																		
<p>Lagen 1 bis 4 mit PTH Vias</p> <p>(Farben s. Lagentabelle)</p>	 <p>Die Verhältnisse für Q1 und Q2 ist nicht identisch.</p>																																																																																										

<p>Wärmequellen und Viafelder. 40Wärmeviassind mit dem heatslug des Bauteils verbunden.</p>	 <p>Mutmaßliche Position der GaN Bauteile (grau). Die Viabohrungen sind ebenfalls einblendet</p>
<p>Verlustleistungs-schätzung</p>	<ul style="list-style-type: none"> <li>- (Efficiency 96% <math>V_{OUT}=12V</math>, <math>I_{OUT}=12 A \rightarrow P \approx 0.04 * (12 V * 12 A) \approx 5.7 W @ Q1 + Q2</math>)</li> <li>- <math>R_{dsON} \approx 17 m\Omega</math>, <math>I_{OUT} = 12 A \rightarrow P_{diss} \approx 0.017 * 12^2 \approx 2.5 W</math> jeweils für Q1 und Q2</li> </ul>
<p>Umgebung</p>	<p>25 °C, freie Konvektion + Strahlung</p>

### Berechnungsergebnisse

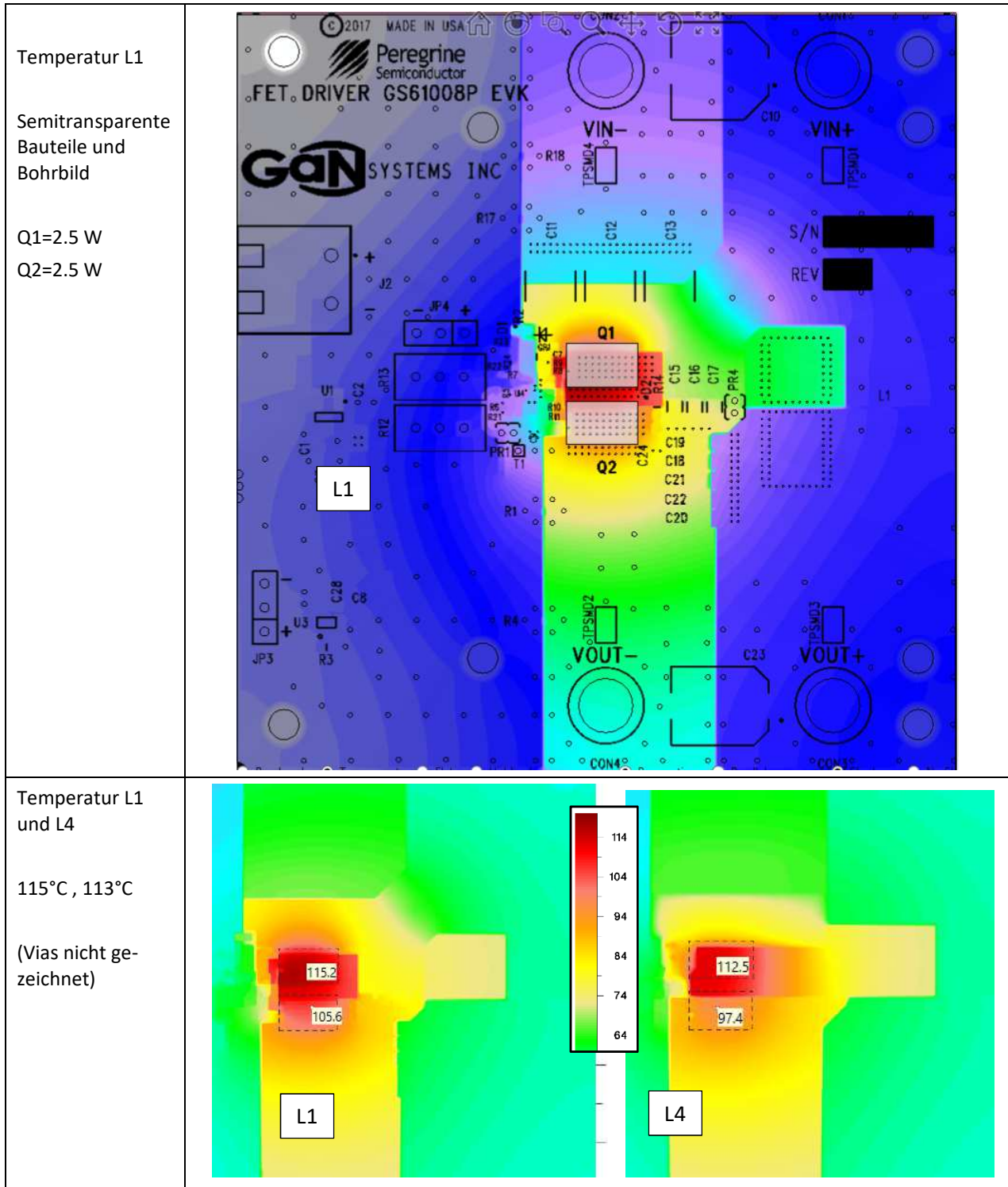
Das Modell enthält ca. 4.2 Mio. Temperaturnoten bei einer horizontalen Auflösung von 0.1 mm. Die Berechnung dauert nur wenige Sekunden. Die Ergebnisse für alle Lagen und prepregs liegen als Bilder und Tabellen vor.

Q1 und Q2 haben unterschiedliche Kühlungsbedingungen. Q1 liegt erstens in einer eingegengten Kupfergeometrie in L1 (horizontale Farbkante mit scharfem Übergang von gelb nach hellblau zwischen VIN und RETURN) und zweitens oberhalb von Kupferlöchern=FR4 Inseln in L2, L3 und L4. Der Grund ist mir nicht bekannt. Daher ist Q1 wärmer als Q2. Der Unterschied ist auch in den anderen Lagen zu erkennen.

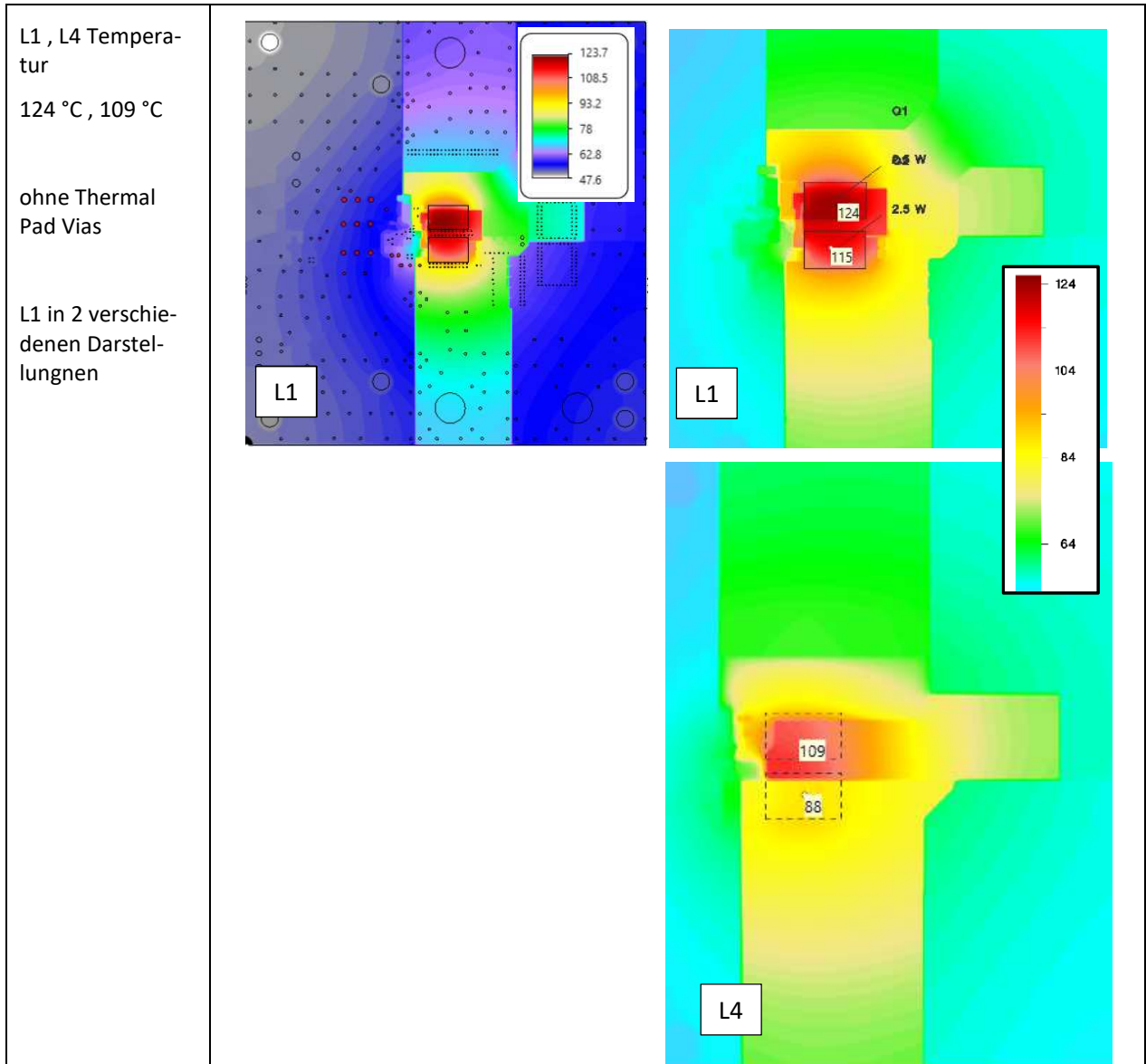
Die Erfahrung aus anderen bisherigen Projekten zeigt, dass die berechneten Bauteiltemperaturen auf ca. 5% mit der Thermokamera übereinstimmen können, wenn die Verlustleistung gleich ist. Weitere Unsicherheiten sind die Wärmeleitfähigkeit der prepregs, die wirklichen Dicken von Lagen und prepregs und der innere Aufbau der Bauteile.



Mit Pad Vias



Ohne Thermal Pad Vias



Die Pad Vias haben in diesem Design mäßigen Einfluss auf die Temperatur. Man sieht das an dem Temperaturunterschied zwischen L1 und L4. Mit Vias ist der vertikale Gradient viel geringer, weil Wärme von L1 nach L4 fließt. Für Q1 entspricht der Gewinn durch die thermal vias ca.  $99\text{ K}/89\text{ K} \approx 10\%$ . Q2 hat ein besseres Verhältnis, weil es darunter keine Kupferleerflächen in den Innenlagen gibt.

**Tabelle 2.** T über Umgebung GS61008P-EVBHF

$\Delta T$ (K)	Q1	Q2
Messung	$\approx 90$	$\approx 75$
TRM mit Pad Vias	$\approx 89$	$\approx 80$
TRM ohne Pad Vias	$\approx 99$	$\approx 90$

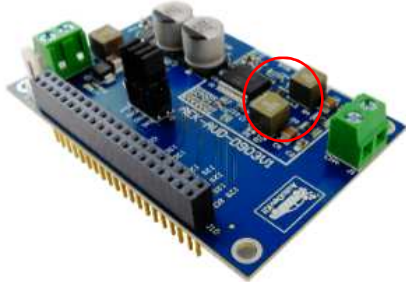
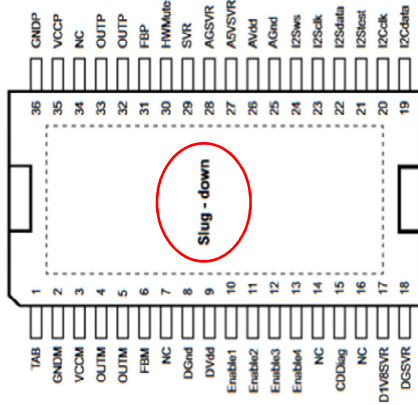
2. STMicroelectronics AEK-AUD-D903V1

Zitat aus dem Datenblatt: "This system is required by new vehicles to alert pedestrians of the presence of electric powered vehicles that are generating much less noise. Warning sounds may be driver triggered



(like a horn) or automatic mimicking engine sounds. From 2021 according to government regulations, the vehicle must make a continuous noise level of at least 56 dBA (within 2 meters) if the car is going 20 km/h (12 mph) or slower, and a maximum of 75 dBA. The FDA903D amplifier comes in a PowerSSO-36 slug-down package and features a configurable power limiting function, high-speed I<sup>2</sup>C and legacy mode interfaces, and an internal finite state machine."
















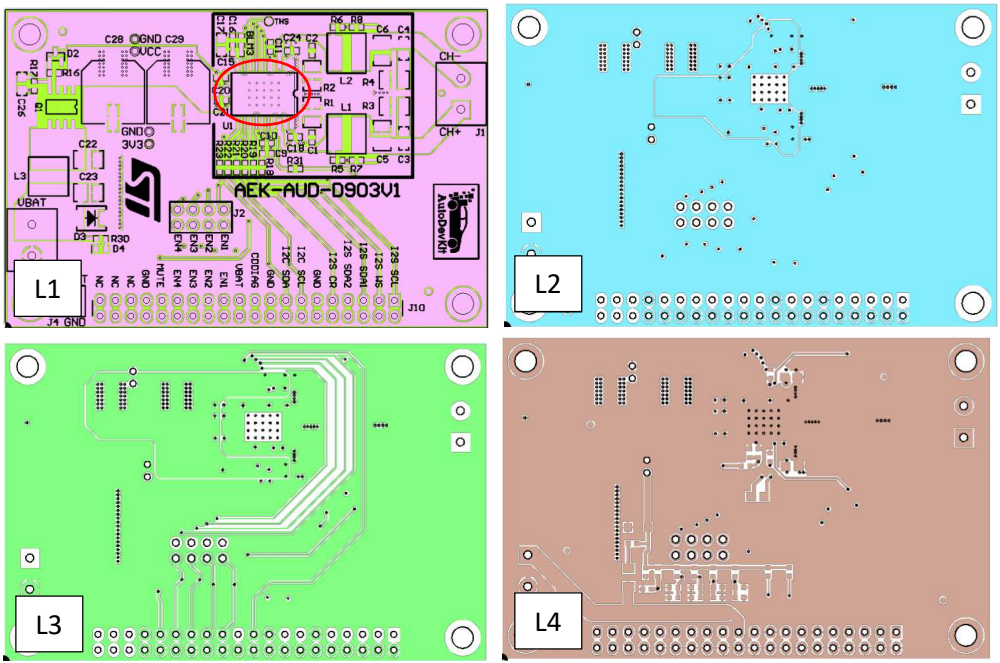
Daten

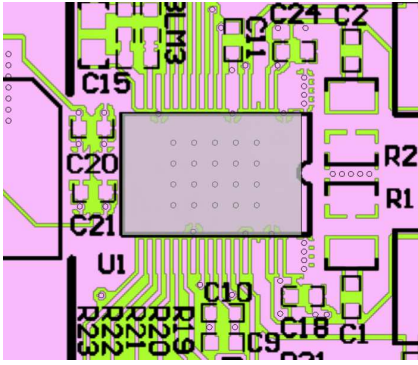
<p>Ansicht</p>	 <p><b>Features</b></p> <ul style="list-style-type: none"> <li>• With FDA903D class D automotive grade audio amp</li> <li>• Mono channel up to 45 W</li> <li>• Supports audio stream via I<sup>2</sup>S interface</li> <li>• Configurable through dedicated I<sup>2</sup>C bus</li> <li>• Dedicated DC diagnostic interrupt pin to signal faults</li> <li>• Dedicated hardware MUTE pin</li> </ul>																														
<p>Quelle</p>	<p><a href="https://www.st.com/en/evaluation-tools/aek-aud-d903v1.html">https://www.st.com/en/evaluation-tools/aek-aud-d903v1.html</a>  <a href="https://www.st.com/resource/en/data_brief/aek-aud-d903v1.pdf">https://www.st.com/resource/en/data_brief/aek-aud-d903v1.pdf</a></p>																														
<p>Größe</p>	<p>79 mm x 52 mm</p>																														
<p>Bauteil</p>	<p>U1 FDA903D-EHT PSSO-36 1/10W ±5% 1 x 45 W class D digital input automotive power amplifier</p>																														
<p>Datenblatt</p>	<p><a href="https://www.st.com/en/automotive-infotainment-and-telematics/fda903d.html">https://www.st.com/en/automotive-infotainment-and-telematics/fda903d.html</a>  <a href="https://www.st.com/resource/en/datasheet/fda903d.pdf">https://www.st.com/resource/en/datasheet/fda903d.pdf</a></p>  <p>- 7.5 mm x 10.3 mm</p>																														
<p>Lagen</p>	<p>Keine Angaben.          Annahme:  <a href="https://www.st.com/resource/en/application_note/an5407-how-to-optimize-the-rf-board-layout-for-stm32wl5xex-mcus-stmicroelectronics.pdf">https://www.st.com/resource/en/application_note/an5407-how-to-optimize-the-rf-board-layout-for-stm32wl5xex-mcus-stmicroelectronics.pdf</a></p> <ul style="list-style-type: none"> <li>• <b>Case 3:</b> typical stack-up for BGA package with PCB total thickness = 1.60 mm              Consider the configuration detailed in the table below.</li> </ul> <p style="text-align: center;"><b>Table 15. Case 3: PCB total thickness = 1.60 mm</b></p> <table border="1" data-bbox="488 1908 1248 2056"> <thead> <tr> <th colspan="4">Dielectric materials</th> <th colspan="2">Metal layers</th> </tr> <tr> <th>Element</th> <th>Material</th> <th>Nominal thickness h<sub>x</sub> (µm)</th> <th>ε<sub>r</sub></th> <th>Layer</th> <th>Nominal thickness t (µm)</th> </tr> </thead> <tbody> <tr> <td>Solder mask (h<sub>3</sub>)</td> <td>solder resist</td> <td>20</td> <td>3.5</td> <td>Top</td> <td>35</td> </tr> <tr> <td>Prepreg 1 (h<sub>1</sub>)</td> <td>1 x 1080</td> <td>76</td> <td>4.18</td> <td>Middle 1 and 2</td> <td>35</td> </tr> <tr> <td>Core (h<sub>2</sub>)</td> <td>7 x 7628</td> <td>1268</td> <td>4.74</td> <td>Bottom</td> <td>35</td> </tr> </tbody> </table>	Dielectric materials				Metal layers		Element	Material	Nominal thickness h <sub>x</sub> (µm)	ε <sub>r</sub>	Layer	Nominal thickness t (µm)	Solder mask (h <sub>3</sub> )	solder resist	20	3.5	Top	35	Prepreg 1 (h <sub>1</sub> )	1 x 1080	76	4.18	Middle 1 and 2	35	Core (h <sub>2</sub> )	7 x 7628	1268	4.74	Bottom	35
Dielectric materials				Metal layers																											
Element	Material	Nominal thickness h <sub>x</sub> (µm)	ε <sub>r</sub>	Layer	Nominal thickness t (µm)																										
Solder mask (h <sub>3</sub> )	solder resist	20	3.5	Top	35																										
Prepreg 1 (h <sub>1</sub> )	1 x 1080	76	4.18	Middle 1 and 2	35																										
Core (h <sub>2</sub> )	7 x 7628	1268	4.74	Bottom	35																										

Thermal Vias	20																
Experiments	<p style="text-align: center;"><b>Table 4. Thermal data - PowerSSO36 slug-down package</b></p> <table border="1"> <thead> <tr> <th>Symbol</th> <th>Parameter</th> <th>Value</th> <th>Unit</th> </tr> </thead> <tbody> <tr> <td><math>R_{th\ j-a-2s}</math></td> <td>Thermal resistance junction-to-ambient (2s board)</td> <td>56</td> <td>°C/W</td> </tr> <tr> <td><math>R_{th\ j-a-2s2p}</math></td> <td>Thermal resistance junction-to-ambient (2s2p board)</td> <td>31</td> <td>°C/W</td> </tr> <tr> <td><math>R_{th\ j-a-2s2pv}</math></td> <td>Thermal resistance junction-to-ambient (2s2p+vias)</td> <td>26</td> <td>°C/W</td> </tr> </tbody> </table>	Symbol	Parameter	Value	Unit	$R_{th\ j-a-2s}$	Thermal resistance junction-to-ambient (2s board)	56	°C/W	$R_{th\ j-a-2s2p}$	Thermal resistance junction-to-ambient (2s2p board)	31	°C/W	$R_{th\ j-a-2s2pv}$	Thermal resistance junction-to-ambient (2s2p+vias)	26	°C/W
Symbol	Parameter	Value	Unit														
$R_{th\ j-a-2s}$	Thermal resistance junction-to-ambient (2s board)	56	°C/W														
$R_{th\ j-a-2s2p}$	Thermal resistance junction-to-ambient (2s2p board)	31	°C/W														
$R_{th\ j-a-2s2pv}$	Thermal resistance junction-to-ambient (2s2p+vias)	26	°C/W														

### Modell

Im Datensatz aek-aud-d903v1\_gerber.zip befinden sich nur Gerber- und Bohrfiles ([https://www.st.com/resource/en/board\\_manufacturing\\_specification/aek-aud-d903v1\\_gerber.zip](https://www.st.com/resource/en/board_manufacturing_specification/aek-aud-d903v1_gerber.zip)). Die Verlustleistung für die Berechnung lege ich auf 5 W fest.

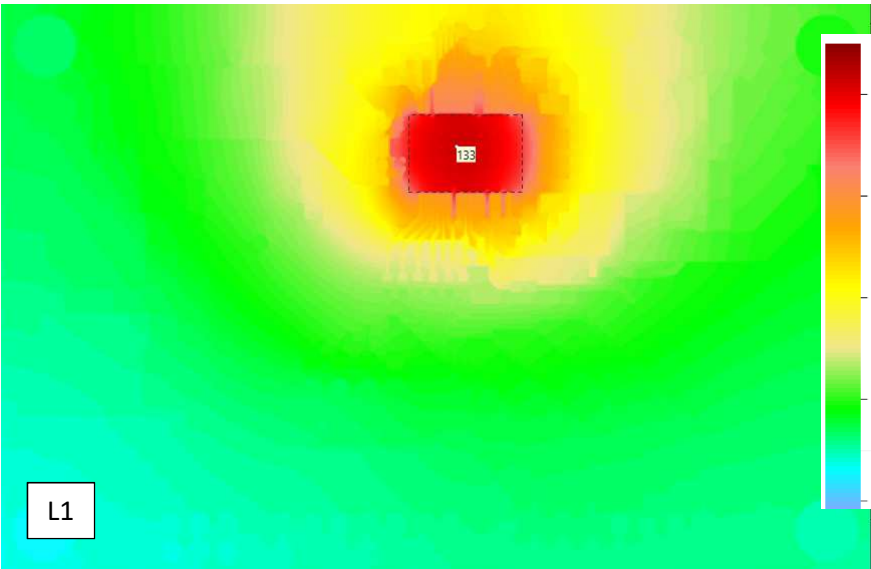
Lagenaufbau	<table border="1"> <thead> <tr> <th>Name</th> <th>Type</th> <th>File</th> <th>View</th> <th>FR4 white</th> <th>Thick (um)</th> <th>Conductor</th> <th>Dielectric</th> <th>Expose</th> <th>Color</th> </tr> </thead> <tbody> <tr> <td>Silk</td> <td>ger</td> <td>AEK-AUD-D903V1-Rev_3.1.GTO</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>1</td> <td>FR4\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>L1</td> <td>ger</td> <td>AEK-AUD-D903V1-Rev_3.1.GTL</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>pre1</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>80</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>L2</td> <td>ger</td> <td>AEK-AUD-D903V1-Rev_3.1.G1</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>pre2</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>1270</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>L3</td> <td>ger</td> <td>AEK-AUD-D903V1-Rev_3.1.G2</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>pre3</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>80</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>L4</td> <td>ger</td> <td>AEK-AUD-D903V1-Rev_3.1.GBL</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> </tbody> </table>	Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color	Silk	ger	AEK-AUD-D903V1-Rev_3.1.GTO	View	<input checked="" type="checkbox"/>	1	FR4\$TRM	FR4\$TRM	Expose		L1	ger	AEK-AUD-D903V1-Rev_3.1.GTL	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose		pre1	pre		View	<input checked="" type="checkbox"/>	80	Cu\$TRM	FR4\$TRM			L2	ger	AEK-AUD-D903V1-Rev_3.1.G1	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose		pre2	pre		View	<input checked="" type="checkbox"/>	1270	Cu\$TRM	FR4\$TRM			L3	ger	AEK-AUD-D903V1-Rev_3.1.G2	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose		pre3	pre		View	<input checked="" type="checkbox"/>	80	Cu\$TRM	FR4\$TRM			L4	ger	AEK-AUD-D903V1-Rev_3.1.GBL	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose	
Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color																																																																																		
Silk	ger	AEK-AUD-D903V1-Rev_3.1.GTO	View	<input checked="" type="checkbox"/>	1	FR4\$TRM	FR4\$TRM	Expose																																																																																			
L1	ger	AEK-AUD-D903V1-Rev_3.1.GTL	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose																																																																																			
pre1	pre		View	<input checked="" type="checkbox"/>	80	Cu\$TRM	FR4\$TRM																																																																																				
L2	ger	AEK-AUD-D903V1-Rev_3.1.G1	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose																																																																																			
pre2	pre		View	<input checked="" type="checkbox"/>	1270	Cu\$TRM	FR4\$TRM																																																																																				
L3	ger	AEK-AUD-D903V1-Rev_3.1.G2	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose																																																																																			
pre3	pre		View	<input checked="" type="checkbox"/>	80	Cu\$TRM	FR4\$TRM																																																																																				
L4	ger	AEK-AUD-D903V1-Rev_3.1.GBL	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose																																																																																			
Lagen 1 bis 4	 <p>The image displays four Gerber files for the PCB layers L1, L2, L3, and L4. L1 is a pink layer with a central component footprint. L2 is a cyan layer with a dense grid of vias. L3 is a green layer with a dense grid of vias. L4 is a brown layer with a dense grid of vias. The central component is labeled 'AEK-AUD-D903V1'.</p>																																																																																										

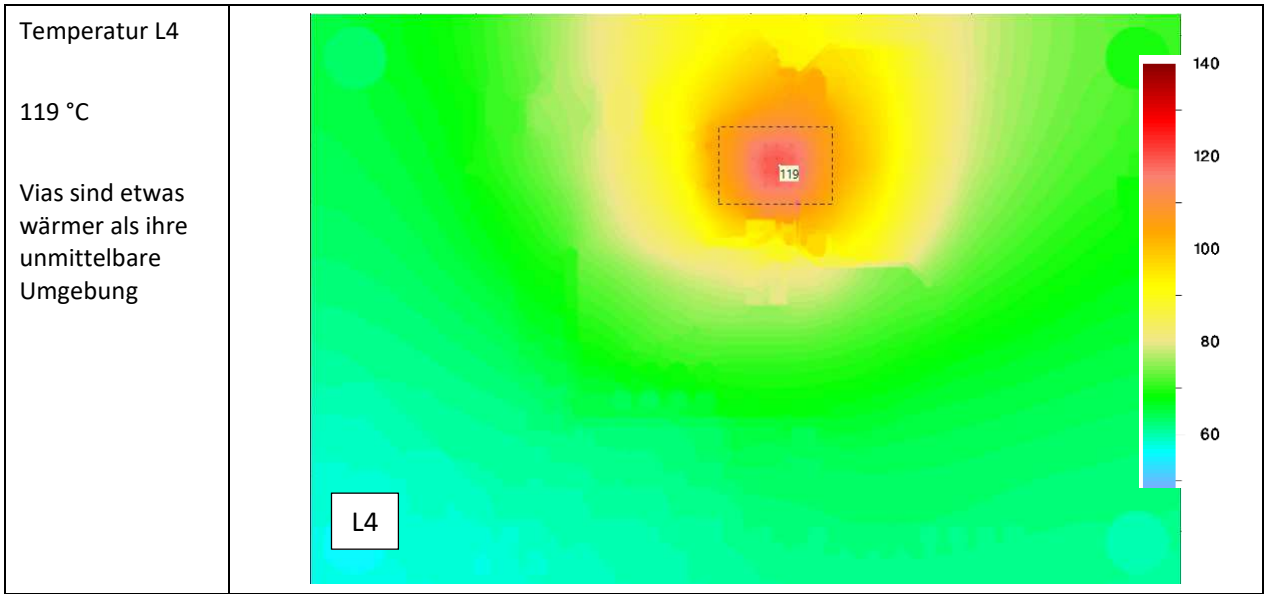
<p>Wärmequelle und Viafeld</p> <p>Durchmesser 0.3 mm, Abstand 1.2 mm, Plating 20 micron</p>	 <p>In L2 und L3 sind Wärmevias nicht an Kupfer angebunden</p>
<p>Verlustleistungsannahme U1</p>	<p>Fiktiv. Gleiche Flächenleistung wie im GaN Modell (0.0725 W/mm<sup>2</sup>) → <math>P_{diss} \approx 5 \text{ W}</math></p>
<p>Umgebung</p>	<p>25 °C, freie Konvektion + Strahlung</p>

### Berechnungsergebnisse

Das Modell enthält ca. 2.9 Mio. Temperaturknoten bei einer horizontalen Auflösung von 0.1 mm. U1 ist bei gleicher Flächenleistung heißer als im GaN Modell. Inwieweit die Prepregdicken Einfluss nehmen soll hier nicht untersucht werden.

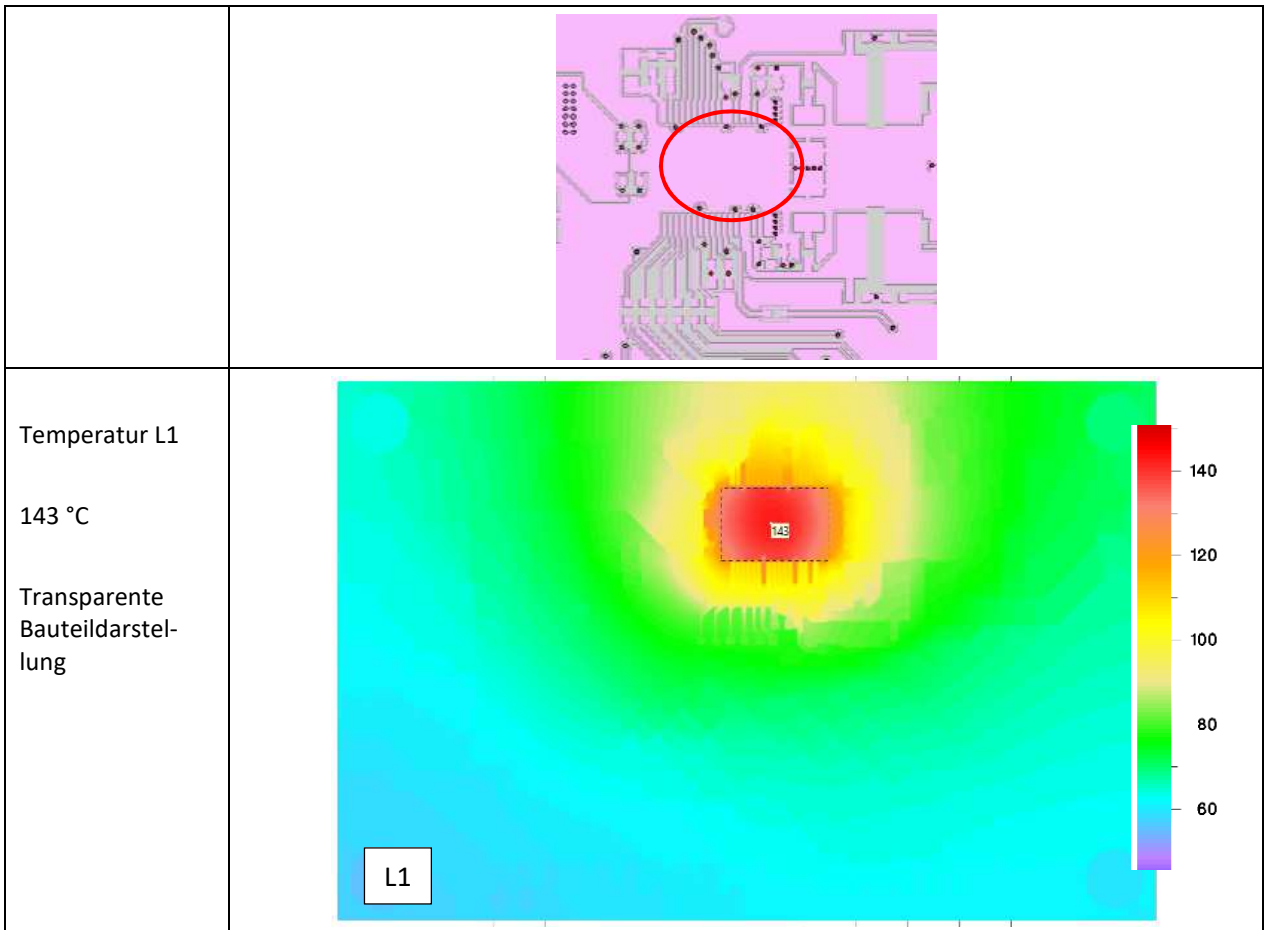
### Mit 20 Slug Vias

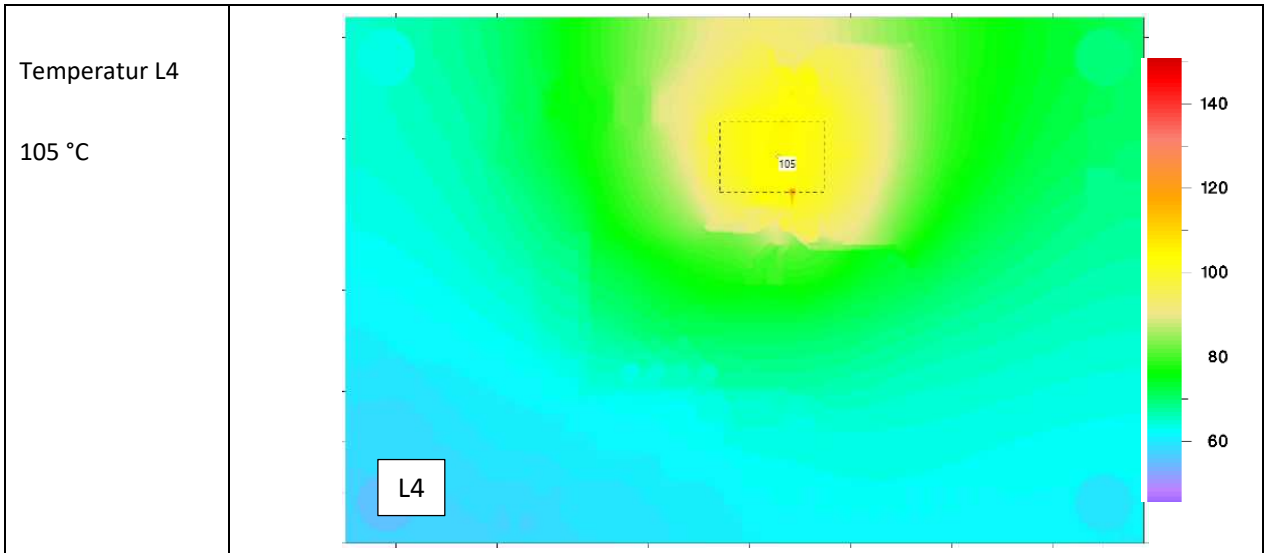
<p>Temperatur L1</p> <p>133 °C</p> <p>Original 20Wärmevias Viafeld</p> <p>Position des Bauteils ist angedeutet</p>	
--	--



Die mittlere Bauteiltemperatur ist ca. 133 °C. Daraus folgt ein  $R_{\theta \text{ surf-ambient}} \approx (133-25) \text{ K} / 5 \text{ W} \approx 20 \text{ K/W}$ .

Ohne Slug Vias

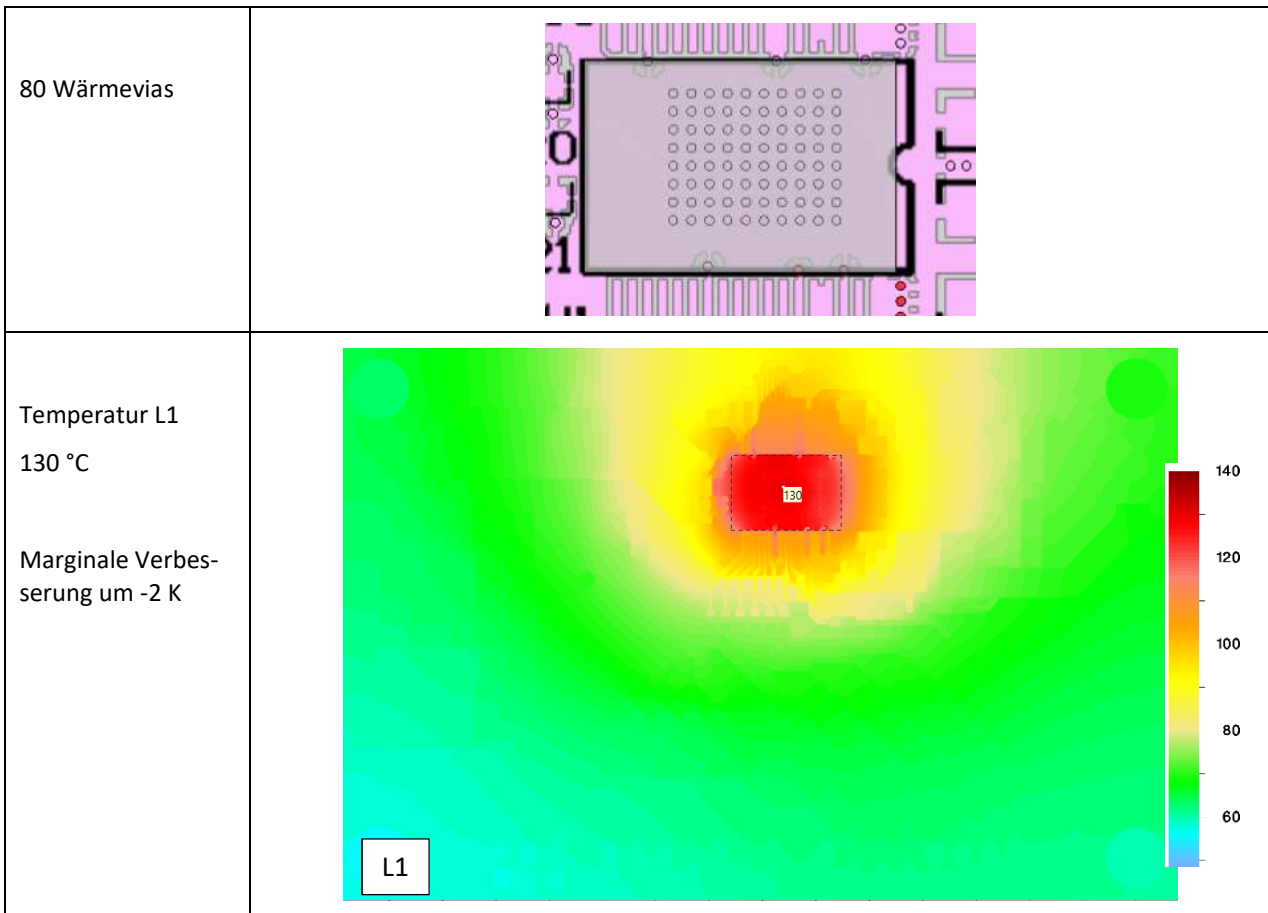




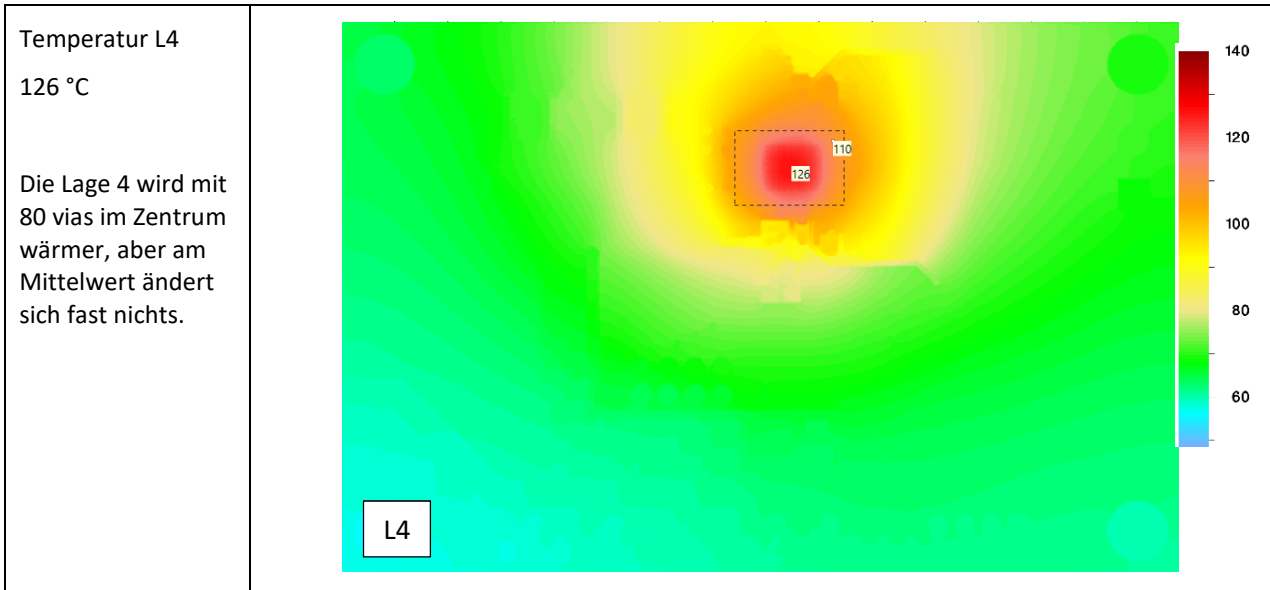
Der vertikale Temperaturunterschied ist ohne Vias mit 40 K sehr viel steiler. Top wird heißer, Bottom wird kälter weil der Temperatureausgleich durch die Vias fehlt.

Mit 80 Slug Vias

Ich erhöhe die Zahl der Vias von 20 auf 80 bei gleichen Durchmessern und Plating. Abstand jetzt 0.6 mm.



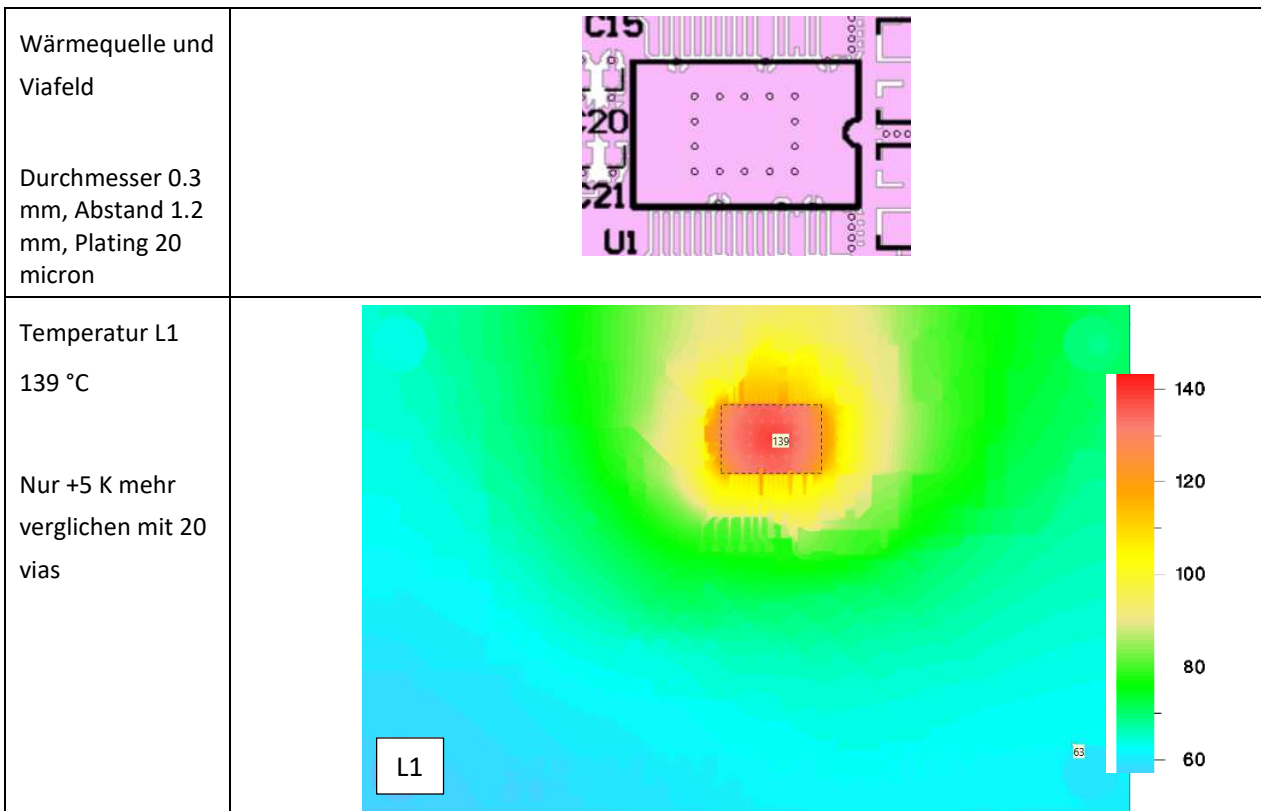




Je mehr Vias, desto größer wird die vertikale effektive Wärmeleitfähigkeit des Viafeldes. Wenn die Vias auf einem guten Kühlkörper enden würden, würde das zu einer besseren (aber nicht unbedingt proportionalen) Kühlung führen. In diesem Fall scheint die Wärmeaufnahmefähigkeit der Top- und Bottomlage erschöpft sein. Wärmeausbreitung auf Top ist wegen der zerfaserten Leiterbahnen geometrisch limitiert.

Mit 14 Slug Vias

Im Inneren des Originalviafeldes ist die Temperatur (im eingeschwungenen Zustand) ungefähr gleichmäßig verteilt. Wo kein Temperaturunterschied ist, kann auch keine Wärme fließen. Überprüfen wir, ob eventuell nur die Randvias ausreichen könnten.

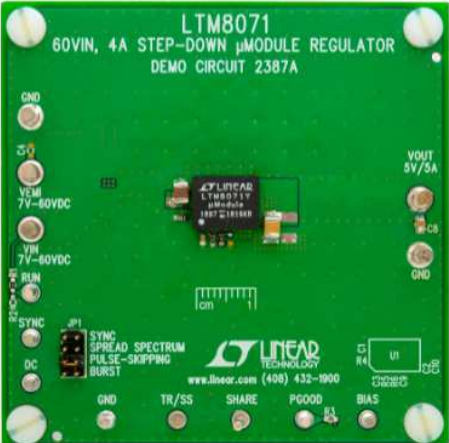
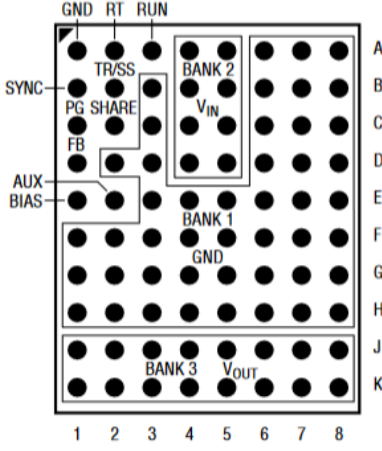
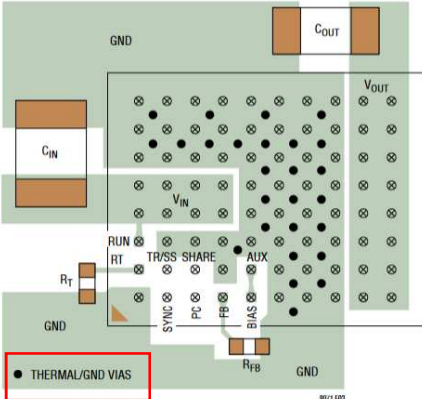


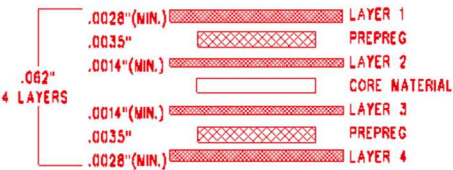
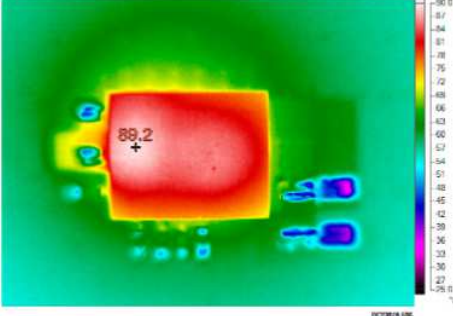
### 3. Analog DC2387A

Inwieweit tragen Vias unter einem BGA zur Kühlung bei und was nützen zusätzliche Wärmevias?

Zitat aus der Dokumentation: "Demonstration circuit 2387A features the LTM<sup>®</sup>8071  $\mu$ Module<sup>®</sup> regulator, a high performance, high efficiency Silent Switcher<sup>®</sup> step-down regulator. The LTM8071 is a complete DC/DC point-of-load regulator in a thermally enhanced 11.25mm  $\times$  9mm  $\times$  3.32mm BGA package."
















#### Daten

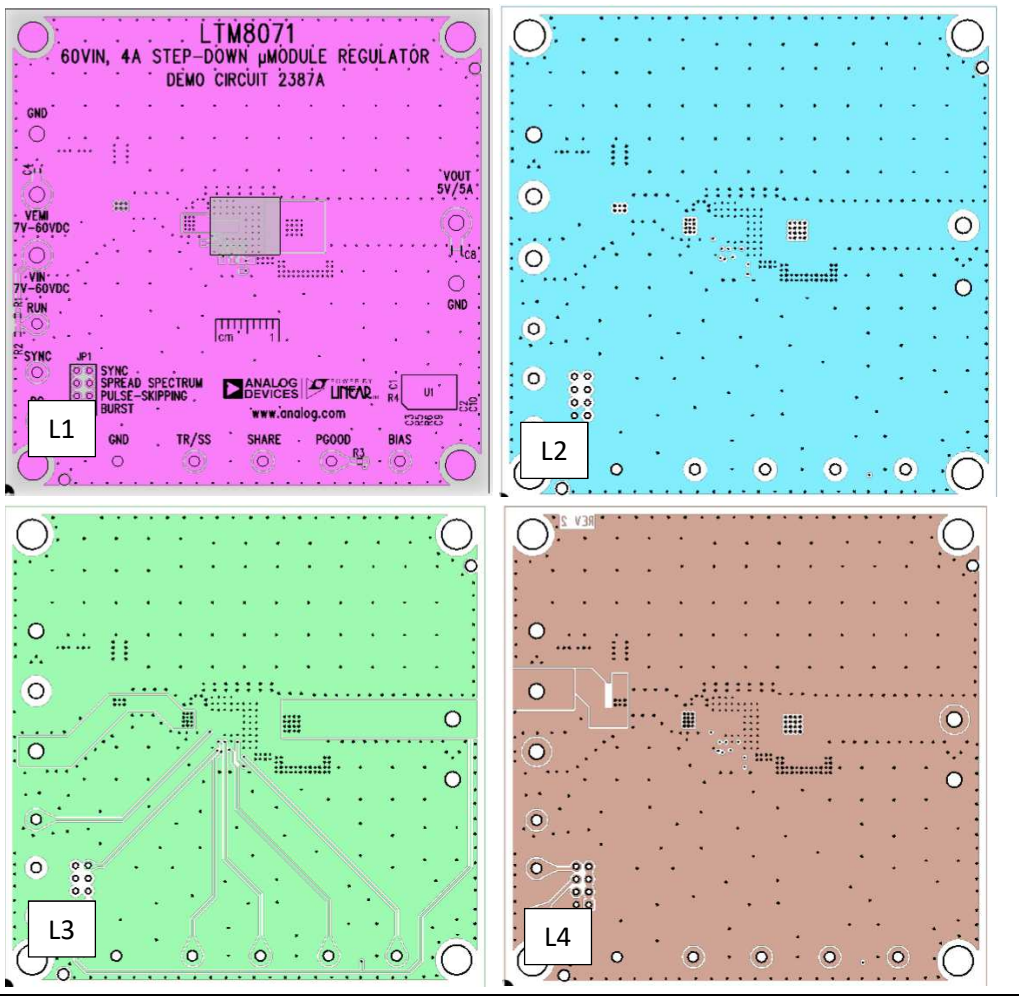
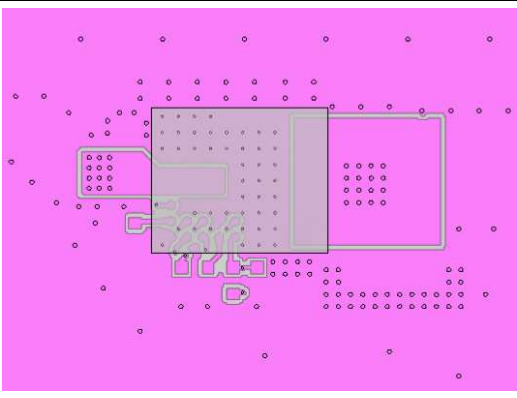
<p>Ansicht</p>	
<p>Quelle</p>	<p><a href="https://www.analog.com/en/design-center/evaluation-hardware-and-software/evaluation-boards-kits/dc2387a.html#eb-documentation">https://www.analog.com/en/design-center/evaluation-hardware-and-software/evaluation-boards-kits/dc2387a.html#eb-documentation</a></p>
<p>Größe</p>	<p>76 mm x 76 mm</p>
<p>Bauteil LTM8071</p>	<p><a href="https://www.analog.com/media/en/technical-documentation/data-sheets/ltm8071.pdf">https://www.analog.com/media/en/technical-documentation/data-sheets/ltm8071.pdf</a></p> <p>11.25mm <math>\times</math> 9mm <math>\times</math> 3.32mm BGA package</p> <div style="display: flex; justify-content: space-around;"> <div data-bbox="470 1272 853 1758"> <p>TOP VIEW</p>  <p>Labels: GND, RT, RUN, TR/SS, SYNC, PG SHARE, FB, AUX, BIAS, BANK 2, V<sub>IN</sub>, BANK 1, GND, BANK 3, V<sub>OUT</sub>.</p> <p>Grid: 1-8 (horizontal), A-K (vertical).</p> </div> <div data-bbox="933 1317 1356 1713">  <p>Labels: GND, C<sub>IN</sub>, V<sub>IN</sub>, RUN, RT, TR/SS SHARE, AUX, SYNC, FB, BIAS, R<sub>FB</sub>, C<sub>OUT</sub>, V<sub>OUT</sub>.</p> <p>Legend: ● THERMAL/GND VIAS</p> </div> </div> <p>BGA PACKAGE 80-LEAD (11.25mm <math>\times</math> 9mm <math>\times</math> 3.32mm)</p> <p><math>T_{JMAX} = 125^{\circ}\text{C}</math>, <math>\theta_{JA} = 18^{\circ}\text{C/W}</math>, <math>\theta_{JCbottom} = 3.4^{\circ}\text{C/W}</math>,  <math>\theta_{JCTop} = 8.4^{\circ}\text{C/W}</math>, <math>\theta_{JB} = 2.8^{\circ}\text{C/W}</math>, WEIGHT = 1.0g  <math>\theta</math> VALUES DETERMINED PER JESD 51-9, 51-12</p>

<p>Lagen</p>	<p style="text-align: center;"><b>LAYER STRUCTURE</b></p> 
<p>Messung <math>P_{diss}</math> unbekannt</p>	<p>DC2387A.pdf  <a href="https://www.analog.com/en/design-center/evaluation-hardware-and-software/evaluation-boards-kits/dc2387a.html#eb-documentation">https://www.analog.com/en/design-center/evaluation-hardware-and-software/evaluation-boards-kits/dc2387a.html#eb-documentation</a>                  No heat sinking, at room temperature</p>  <p style="text-align: center;"><b>Figure 6. Measured Thermal Capture at 48V<sub>IN</sub>, 5A<sub>OUT</sub> at 25°C Ambient with No Airflow</b></p>

Modell

Gerber und Bohrfiles findet man unter: <https://www.analog.com/media/en/evaluation-documentation/evaluation-design-files/DC2387A.zip>. Die vorgeschlagenen 25 zusätzlichen Wärmevias sind in der .zip Datei nicht enthalten.

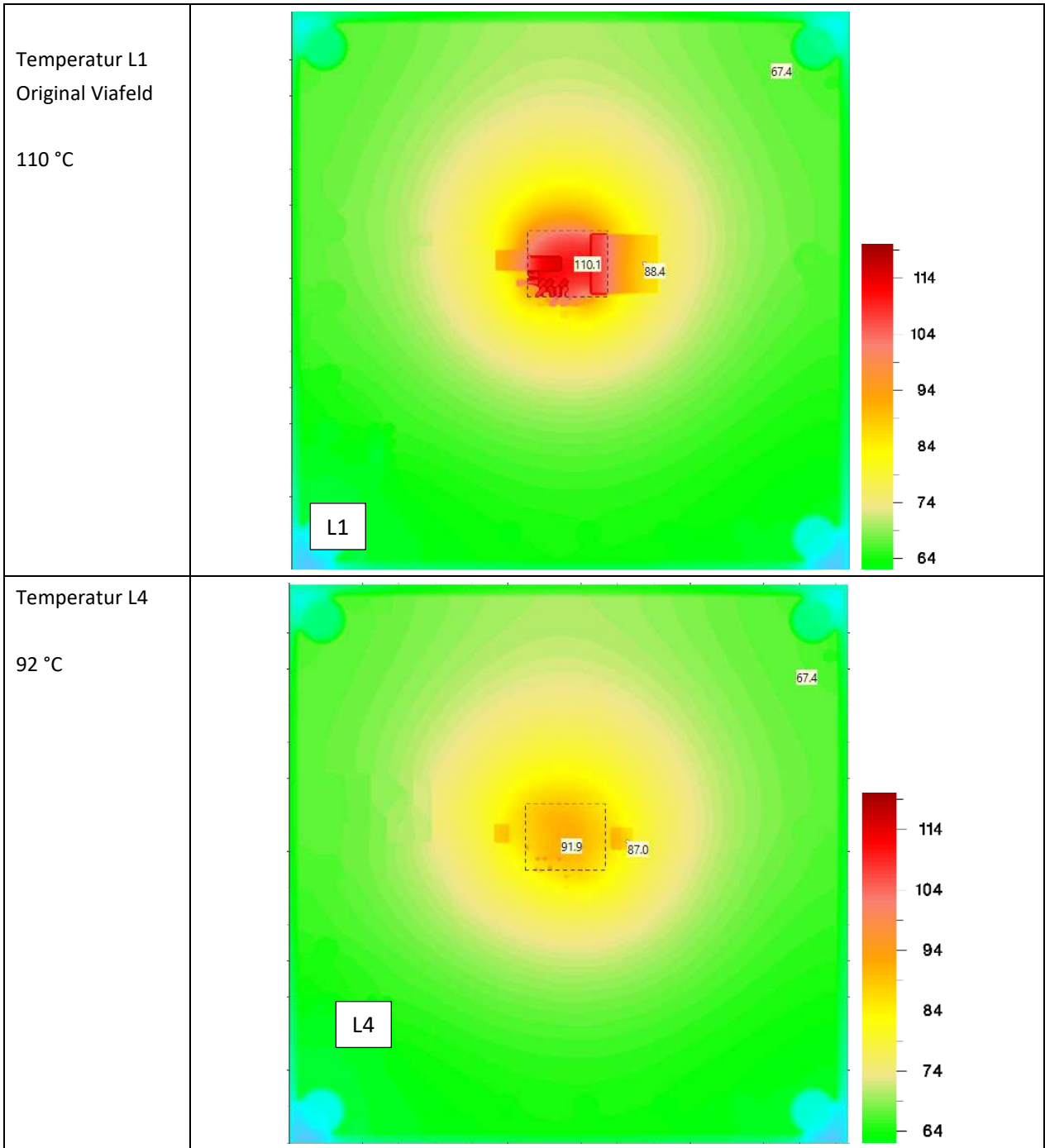
<p>Lagenaufbau</p>	<table border="1"> <thead> <tr> <th>Level</th> <th>Name</th> <th>Type</th> <th>File</th> <th>View</th> <th>FR4 white</th> <th>Thick (um)</th> <th>Conductor</th> <th>Dielectric</th> <th>Expose</th> <th>Color</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>Silk</td> <td>ger</td> <td>TS.pho</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>1</td> <td>FR4\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>2</td> <td>L1</td> <td>ger</td> <td>L1.pho</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>70</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>3</td> <td>pre1</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>90</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>4</td> <td>L2</td> <td>ger</td> <td>L2.pho</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>5</td> <td>core</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>1210</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>6</td> <td>L3</td> <td>ger</td> <td>L3.pho</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>7</td> <td>pre3</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>90</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>8</td> <td>L4</td> <td>ger</td> <td>L4.pho</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>70</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> </tbody> </table>	Level	Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color	1	Silk	ger	TS.pho	View	<input checked="" type="checkbox"/>	1	FR4\$TRM	FR4\$TRM	Expose		2	L1	ger	L1.pho	View	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM	Expose		3	pre1	pre		View	<input checked="" type="checkbox"/>	90	Cu\$TRM	FR4\$TRM			4	L2	ger	L2.pho	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose		5	core	pre		View	<input checked="" type="checkbox"/>	1210	Cu\$TRM	FR4\$TRM			6	L3	ger	L3.pho	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose		7	pre3	pre		View	<input checked="" type="checkbox"/>	90	Cu\$TRM	FR4\$TRM			8	L4	ger	L4.pho	View	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM	Expose	
Level	Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color																																																																																										
1	Silk	ger	TS.pho	View	<input checked="" type="checkbox"/>	1	FR4\$TRM	FR4\$TRM	Expose																																																																																											
2	L1	ger	L1.pho	View	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM	Expose																																																																																											
3	pre1	pre		View	<input checked="" type="checkbox"/>	90	Cu\$TRM	FR4\$TRM																																																																																												
4	L2	ger	L2.pho	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose																																																																																											
5	core	pre		View	<input checked="" type="checkbox"/>	1210	Cu\$TRM	FR4\$TRM																																																																																												
6	L3	ger	L3.pho	View	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	Expose																																																																																											
7	pre3	pre		View	<input checked="" type="checkbox"/>	90	Cu\$TRM	FR4\$TRM																																																																																												
8	L4	ger	L4.pho	View	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM	Expose																																																																																											

<p>Lagen 1 bis 4</p>	
<p>Wärmequelle und Viafeld</p> <p>Vias sind in allen Lagen an Kupfer angebunden</p> <p>Durchmesser 0.125 mm, Abstand 1.0 mm, Plating 20 micron</p>	
<p>Verlustleistungsannahme</p>	<p>Fiktiv. Gleiche Flächenleistung wie im GaN Modell (0.0725 W/mm<sup>2</sup>) → P<sub>diss</sub> ≈ 7.3 W (!)</p>
<p>Umgebung</p>	<p>25 °C, freie Konvektion + Strahlung</p>

### Berechnungsergebnisse

Das Modell enthält ca. 4.6 Mio. Temperaturknoten bei einer horizontalen Auflösung von 0.1 mm. Wegen der wenig unterbrochenen Lagen wirkt die Wärmespreizung sehr gut.

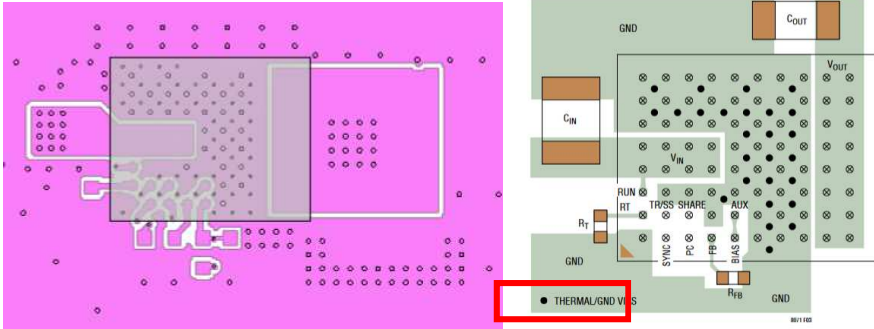
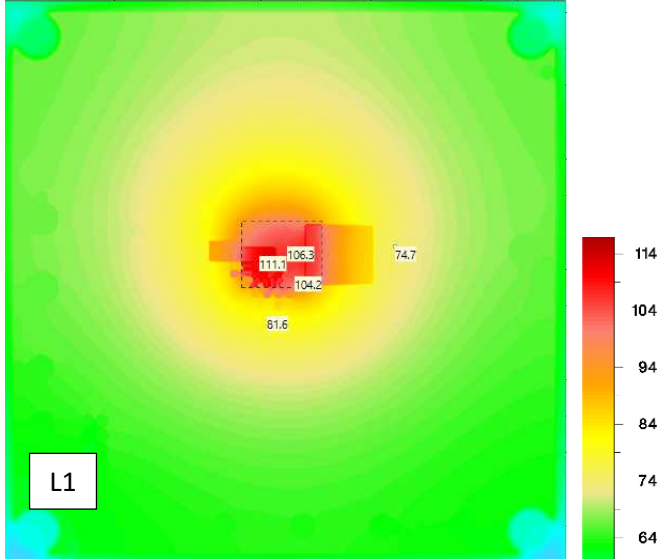
Original Viafeld



Mit Thermovias

Die im Datenblatt eingezeichneten Extra-Wärmvias sind nicht im Bohrfile enthalten und werden manuell zugefügt. Durchmesser 0.254 mm, wie die Mehrzahl der anderen Bohrungen.




<p>Zusätzlich 26 empfohlenen Wärmevias</p>	
<p>Temperatur L1 Mit Wärmevias</p> <p>106 °C</p> <p>Der zusätzliche Gewinn überzeugt nicht.</p>	

#### 4. Microchip EVB-USB5806

Die bisher untersuchten Evaluierungsboards haben sich durch großzügige Wärmespreizung ausgezeichnet. Bei diesem Board sind zwar keine hohen Wärmeverluste zu erwarten, aber die Form der Signale unter und um U1 ist interessant genug für eine Untersuchung.
















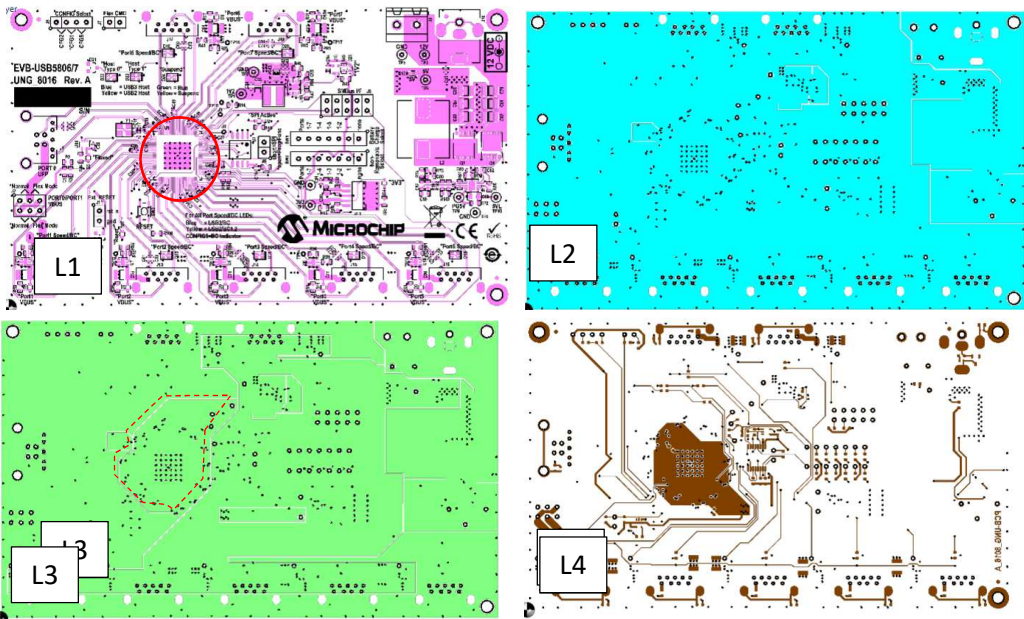
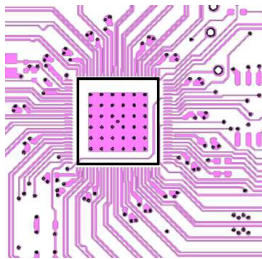
##### Daten

<p>Ansicht</p>		<h3>USB5806 USB3.2 GEN1 6-P</h3> <ul style="list-style-type: none"> <li>• Microchip's FlexConnect, PortSwap, PHYBoost™, and VariSense™ technologies</li> <li>• USB5806 in a 100-pin QFN RoHS compliant package</li> <li>• USB 3.2 Gen 1 compliant (SS, HS, FS, and LS operation)</li> <li>• USB pins are 5 V tolerant</li> <li>• Self powered operation</li> <li>• Six downstream USB 2.0 / USB 3.2 Gen 1 ports</li> </ul>
<p>Quelle</p>	<p><a href="https://www.microchip.com/en-us/development-tool/evb-usb5806">https://www.microchip.com/en-us/development-tool/evb-usb5806</a></p>	
<p>Größe</p>	<p>127 mm x 76 mm</p>	
<p>Bauteil</p>	<p>U1 IC, USB58xx, USB59xx, 7 Port USB 3.1 Gen1 Hub, QFN100 Microchip Technology</p>	

Lagen	<table border="1"> <thead> <tr> <th>Name</th> <th>Material</th> <th>Type</th> <th>Weight</th> <th>Thickness</th> </tr> </thead> <tbody> <tr> <td>Top Overlay</td> <td></td> <td>Overlay</td> <td></td> <td></td> </tr> <tr> <td>Top Solder</td> <td>Solder Resist</td> <td>Solder Mask</td> <td></td> <td>0.4mil</td> </tr> <tr> <td>Top Layer 1</td> <td></td> <td>Signal</td> <td>1oz</td> <td>2mil</td> </tr> <tr> <td>Dielectric1</td> <td>370HR(1ply 1...</td> <td>Prepreg</td> <td></td> <td>4.3mil</td> </tr> <tr> <td>Inner Layer 2</td> <td></td> <td>Plane</td> <td>1oz</td> <td>1.4mil</td> </tr> <tr> <td>Dielectric 2</td> <td>370HR</td> <td>Core</td> <td></td> <td>47mil</td> </tr> <tr> <td>Inner Layer 3</td> <td></td> <td>Plane</td> <td>1oz</td> <td>1.4mil</td> </tr> <tr> <td>Dielectric 3</td> <td>370HR(1ply 1...</td> <td>Prepreg</td> <td></td> <td>4.3mil</td> </tr> <tr> <td>Bottom Layer 4</td> <td></td> <td>Signal</td> <td>1oz</td> <td>2mil</td> </tr> </tbody> </table>						Name	Material	Type	Weight	Thickness	Top Overlay		Overlay			Top Solder	Solder Resist	Solder Mask		0.4mil	Top Layer 1		Signal	1oz	2mil	Dielectric1	370HR(1ply 1...	Prepreg		4.3mil	Inner Layer 2		Plane	1oz	1.4mil	Dielectric 2	370HR	Core		47mil	Inner Layer 3		Plane	1oz	1.4mil	Dielectric 3	370HR(1ply 1...	Prepreg		4.3mil	Bottom Layer 4		Signal	1oz	2mil
	Name	Material	Type	Weight	Thickness																																																			
	Top Overlay		Overlay																																																					
	Top Solder	Solder Resist	Solder Mask		0.4mil																																																			
	Top Layer 1		Signal	1oz	2mil																																																			
	Dielectric1	370HR(1ply 1...	Prepreg		4.3mil																																																			
	Inner Layer 2		Plane	1oz	1.4mil																																																			
	Dielectric 2	370HR	Core		47mil																																																			
	Inner Layer 3		Plane	1oz	1.4mil																																																			
	Dielectric 3	370HR(1ply 1...	Prepreg		4.3mil																																																			
Bottom Layer 4		Signal	1oz	2mil																																																				
Thermal Vias	36																																																							

### Modell

Gerber und Altiumfiles sind verfügbar. Altium Designs können mit TRM fast vollautomatisch importiert werden. [https://ww1.microchip.com/downloads/en/DeviceDoc/EVB-USB580x\\_A-AltiumFiles.zip](https://ww1.microchip.com/downloads/en/DeviceDoc/EVB-USB580x_A-AltiumFiles.zip)

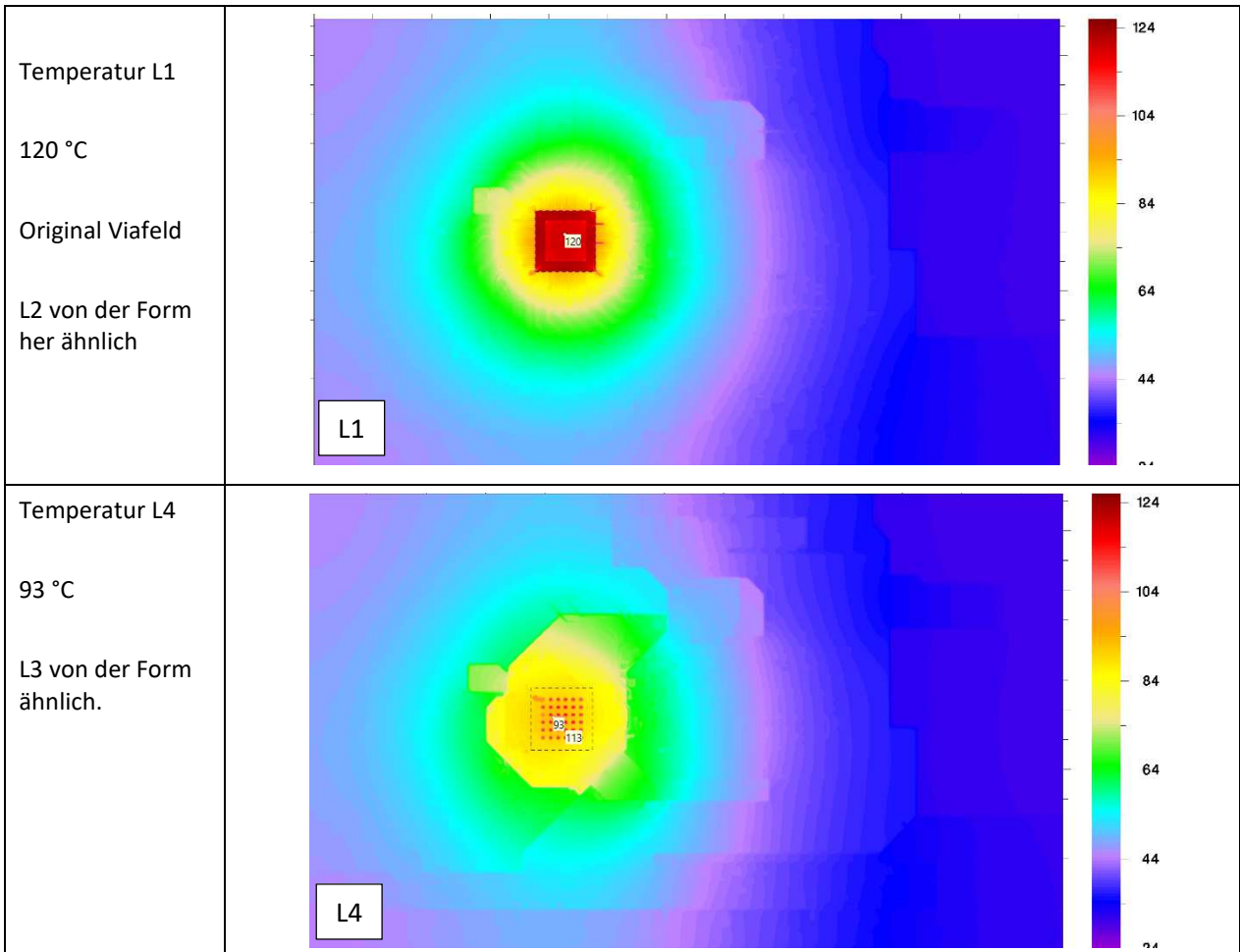
Lagenaufbau	<table border="1"> <thead> <tr> <th>Name</th> <th>Type</th> <th>File</th> <th>View</th> <th>FR4 white</th> <th>Thick (um)</th> <th>Conductor</th> <th>Dielectric</th> <th>Expose</th> <th>Color</th> </tr> </thead> <tbody> <tr> <td>Silk</td> <td>ger</td> <td>EVB-USB580x.GTO</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>1</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>Top Layer</td> <td>ger</td> <td>EVB-USB580x.GTL</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>51</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>Dielectric</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>109</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>Internal Plane 1</td> <td>ger</td> <td>EVB-USB580x.GP1</td> <td>View</td> <td><input type="checkbox"/></td> <td>36</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>Dielectric</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>1194</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>Internal Plane 2</td> <td>ger</td> <td>EVB-USB580x.GP2</td> <td>View</td> <td><input type="checkbox"/></td> <td>36</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> <tr> <td>Dielectric</td> <td>pre</td> <td></td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>109</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td></td> <td></td> </tr> <tr> <td>Bottom Layer</td> <td>ger</td> <td>EVB-USB580x.GBL</td> <td>View</td> <td><input checked="" type="checkbox"/></td> <td>51</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> <td>Expose</td> <td></td> </tr> </tbody> </table>										Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color	Silk	ger	EVB-USB580x.GTO	View	<input checked="" type="checkbox"/>	1	Cu\$TRM	FR4\$TRM	Expose		Top Layer	ger	EVB-USB580x.GTL	View	<input checked="" type="checkbox"/>	51	Cu\$TRM	FR4\$TRM	Expose		Dielectric	pre		View	<input checked="" type="checkbox"/>	109	Cu\$TRM	FR4\$TRM			Internal Plane 1	ger	EVB-USB580x.GP1	View	<input type="checkbox"/>	36	Cu\$TRM	FR4\$TRM	Expose		Dielectric	pre		View	<input checked="" type="checkbox"/>	1194	Cu\$TRM	FR4\$TRM			Internal Plane 2	ger	EVB-USB580x.GP2	View	<input type="checkbox"/>	36	Cu\$TRM	FR4\$TRM	Expose		Dielectric	pre		View	<input checked="" type="checkbox"/>	109	Cu\$TRM	FR4\$TRM			Bottom Layer	ger	EVB-USB580x.GBL	View	<input checked="" type="checkbox"/>	51	Cu\$TRM	FR4\$TRM	Expose	
Name	Type	File	View	FR4 white	Thick (um)	Conductor	Dielectric	Expose	Color																																																																																											
Silk	ger	EVB-USB580x.GTO	View	<input checked="" type="checkbox"/>	1	Cu\$TRM	FR4\$TRM	Expose																																																																																												
Top Layer	ger	EVB-USB580x.GTL	View	<input checked="" type="checkbox"/>	51	Cu\$TRM	FR4\$TRM	Expose																																																																																												
Dielectric	pre		View	<input checked="" type="checkbox"/>	109	Cu\$TRM	FR4\$TRM																																																																																													
Internal Plane 1	ger	EVB-USB580x.GP1	View	<input type="checkbox"/>	36	Cu\$TRM	FR4\$TRM	Expose																																																																																												
Dielectric	pre		View	<input checked="" type="checkbox"/>	1194	Cu\$TRM	FR4\$TRM																																																																																													
Internal Plane 2	ger	EVB-USB580x.GP2	View	<input type="checkbox"/>	36	Cu\$TRM	FR4\$TRM	Expose																																																																																												
Dielectric	pre		View	<input checked="" type="checkbox"/>	109	Cu\$TRM	FR4\$TRM																																																																																													
Bottom Layer	ger	EVB-USB580x.GBL	View	<input checked="" type="checkbox"/>	51	Cu\$TRM	FR4\$TRM	Expose																																																																																												
Lagen 1 bis 4																																																																																																				
Wärmequelle U1 und Originalviafeld Durchmesser 0.25 mm, Abstand 1.2 mm, Plating 20 micron	<p>Vias haben nur in L1 und L2 Kontakt zum Kupfer.</p> 																																																																																																			

Verlustleistungsannahme	Fiktiv. 5 W um mit den anderen Modellen vergleichbar zu sein.
Umgebung	25 °C, freie Konvektion + Strahlung

### Berechnungsergebnisse

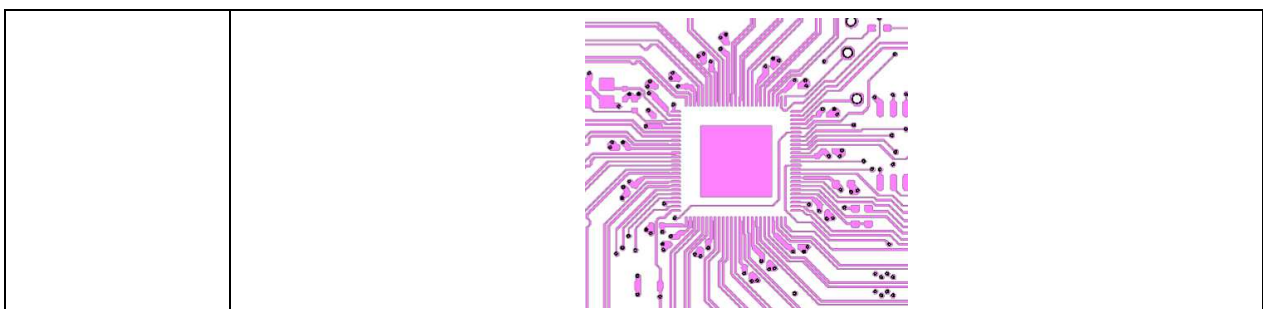
Das Modell enthält ca. 7.7 Mio. Temperaturknoten bei einer horizontalen Auflösung von 0.1 mm.

### Original Viafeld

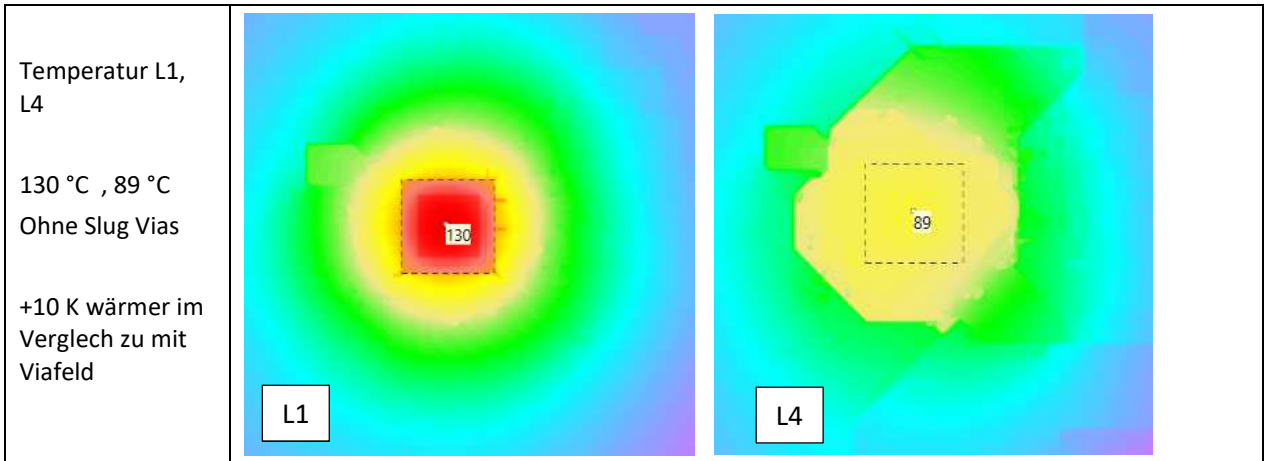


Die Vias auf L4 sind heiß (113 °C), weil die darin vom Bauteil eingespeiste Wärme nicht leicht aus den Anti-pads entweichen kann.

### Ohne Slug Vias



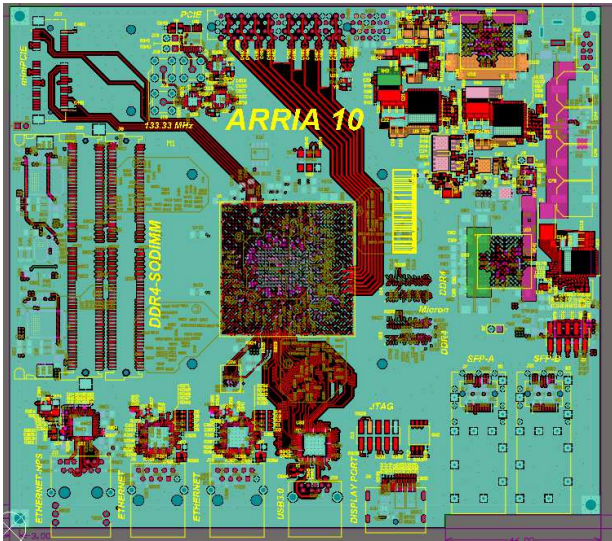




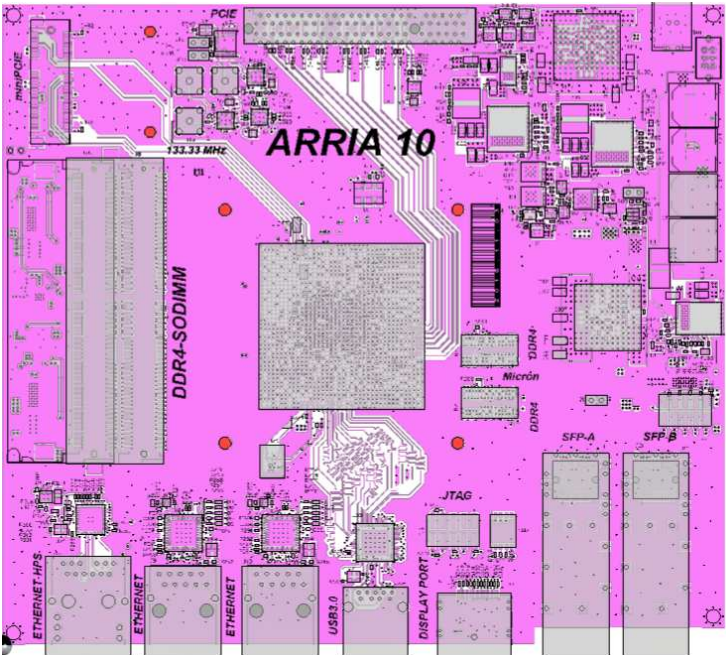
## 5. MiniPC

Der "MiniPC" ist Bestandteil der Demoboards einer Altium Designer® Installation. Was das Board interessant macht sind seine 16 Lagen (!) und das große BGA mit seinen vielen Vias (through-holes und backdrills). Es wird gelegentlich behauptet, dass alleine durch die vielen Anschlüsse die Entwärmung solcher Bauteile gut funktionieren würde. Eigentlich enthält das Originaldesign einen passenden BGA Lüfter, den wir hier natürlich nicht berücksichtigen.

### Daten

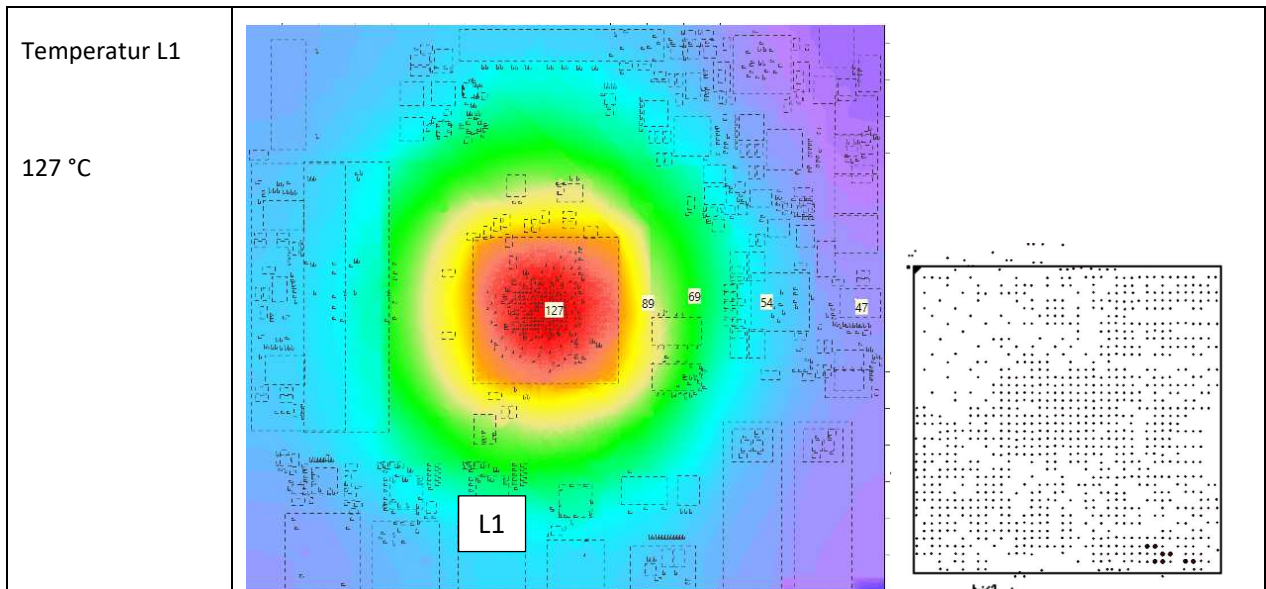
	<table border="1"> <tr><td>1</td><td>1_Top</td><td>...</td><td>Signal</td><td>1oz</td></tr> <tr><td></td><td>Dielectric 1</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>2</td><td>2_int1_(gnd)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 2</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>3</td><td>3_int2_(power)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 3</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>4</td><td>4_int3_(gnd)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 4</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>5</td><td>5_int4_(sign)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 5</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>6</td><td>6_int5_(power)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 6</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>7</td><td>7_int6_(sign)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 7</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>8</td><td>8_int7_(power)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 8</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>9</td><td>9_int8_(gnd)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 9</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>10</td><td>10_int9_(sign)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 10</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>11</td><td>11_int10_(gnd)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 11</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>12</td><td>12_int11_(sign)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 12</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>13</td><td>13_int12_(gnd)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 13</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>14</td><td>14_int13_(power)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 14</td><td>TU-883</td><td>Prepreg</td><td></td></tr> <tr><td>15</td><td>15_int14_(gnd)</td><td>...</td><td>Signal</td><td>1/2oz</td></tr> <tr><td></td><td>Dielectric 15</td><td>TU-883</td><td>Core</td><td></td></tr> <tr><td>16</td><td>16_Bottom</td><td>...</td><td>Signal</td><td>1oz</td></tr> </table>	1	1_Top	...	Signal	1oz		Dielectric 1	TU-883	Core		2	2_int1_(gnd)	...	Signal	1/2oz		Dielectric 2	TU-883	Prepreg		3	3_int2_(power)	...	Signal	1/2oz		Dielectric 3	TU-883	Core		4	4_int3_(gnd)	...	Signal	1/2oz		Dielectric 4	TU-883	Prepreg		5	5_int4_(sign)	...	Signal	1/2oz		Dielectric 5	TU-883	Core		6	6_int5_(power)	...	Signal	1/2oz		Dielectric 6	TU-883	Prepreg		7	7_int6_(sign)	...	Signal	1/2oz		Dielectric 7	TU-883	Core		8	8_int7_(power)	...	Signal	1/2oz		Dielectric 8	TU-883	Prepreg		9	9_int8_(gnd)	...	Signal	1/2oz		Dielectric 9	TU-883	Core		10	10_int9_(sign)	...	Signal	1/2oz		Dielectric 10	TU-883	Prepreg		11	11_int10_(gnd)	...	Signal	1/2oz		Dielectric 11	TU-883	Core		12	12_int11_(sign)	...	Signal	1/2oz		Dielectric 12	TU-883	Prepreg		13	13_int12_(gnd)	...	Signal	1/2oz		Dielectric 13	TU-883	Core		14	14_int13_(power)	...	Signal	1/2oz		Dielectric 14	TU-883	Prepreg		15	15_int14_(gnd)	...	Signal	1/2oz		Dielectric 15	TU-883	Core		16	16_Bottom	...	Signal	1oz
1	1_Top	...	Signal	1oz																																																																																																																																																								
	Dielectric 1	TU-883	Core																																																																																																																																																									
2	2_int1_(gnd)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 2	TU-883	Prepreg																																																																																																																																																									
3	3_int2_(power)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 3	TU-883	Core																																																																																																																																																									
4	4_int3_(gnd)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 4	TU-883	Prepreg																																																																																																																																																									
5	5_int4_(sign)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 5	TU-883	Core																																																																																																																																																									
6	6_int5_(power)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 6	TU-883	Prepreg																																																																																																																																																									
7	7_int6_(sign)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 7	TU-883	Core																																																																																																																																																									
8	8_int7_(power)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 8	TU-883	Prepreg																																																																																																																																																									
9	9_int8_(gnd)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 9	TU-883	Core																																																																																																																																																									
10	10_int9_(sign)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 10	TU-883	Prepreg																																																																																																																																																									
11	11_int10_(gnd)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 11	TU-883	Core																																																																																																																																																									
12	12_int11_(sign)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 12	TU-883	Prepreg																																																																																																																																																									
13	13_int12_(gnd)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 13	TU-883	Core																																																																																																																																																									
14	14_int13_(power)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 14	TU-883	Prepreg																																																																																																																																																									
15	15_int14_(gnd)	...	Signal	1/2oz																																																																																																																																																								
	Dielectric 15	TU-883	Core																																																																																																																																																									
16	16_Bottom	...	Signal	1oz																																																																																																																																																								
<p><a href="https://cdrdv2-public.intel.com/670810/a10_overview-683332-670810.pdf">https://cdrdv2-public.intel.com/670810/a10_overview-683332-670810.pdf</a></p>																																																																																																																																																												
Größe	175 mm x 155 mm																																																																																																																																																											

Modell

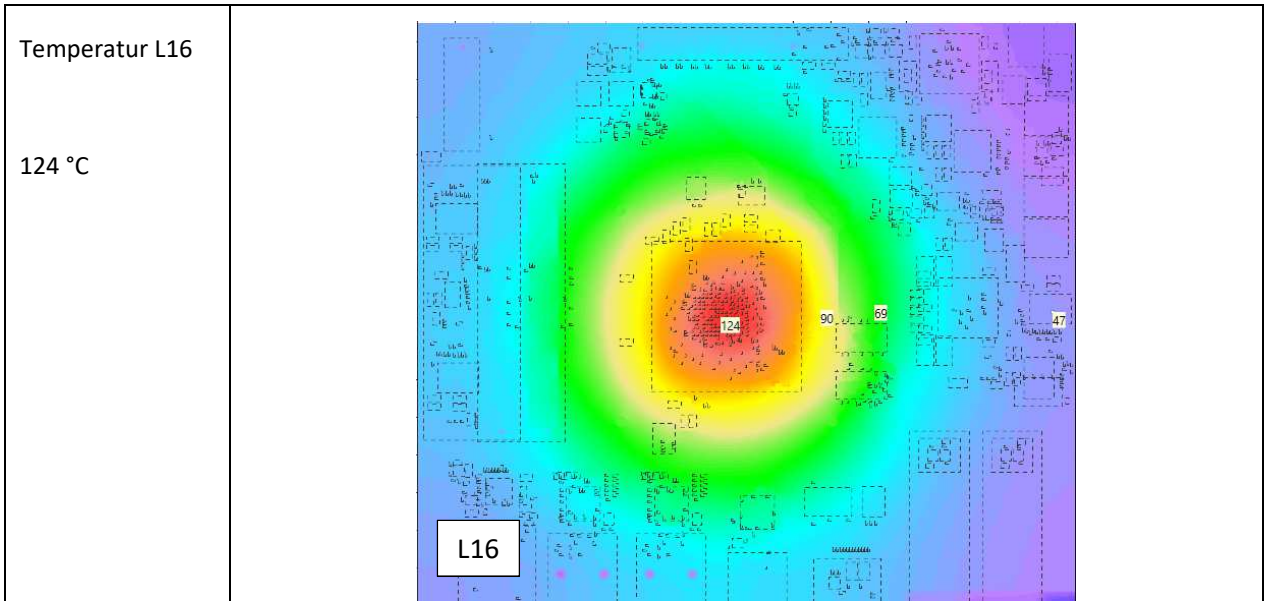
<p>Gesamtansicht</p>	
<p>U1</p>	<p>40 mm x 40 mm</p>
<p>Verlustleistungsannahme</p>	<p>30 W</p>
<p>Umgebung</p>	<p>25 °C, freie Konvektion + Strahlung</p>

Berechnungsergebnisse

Original BGA Viafeld

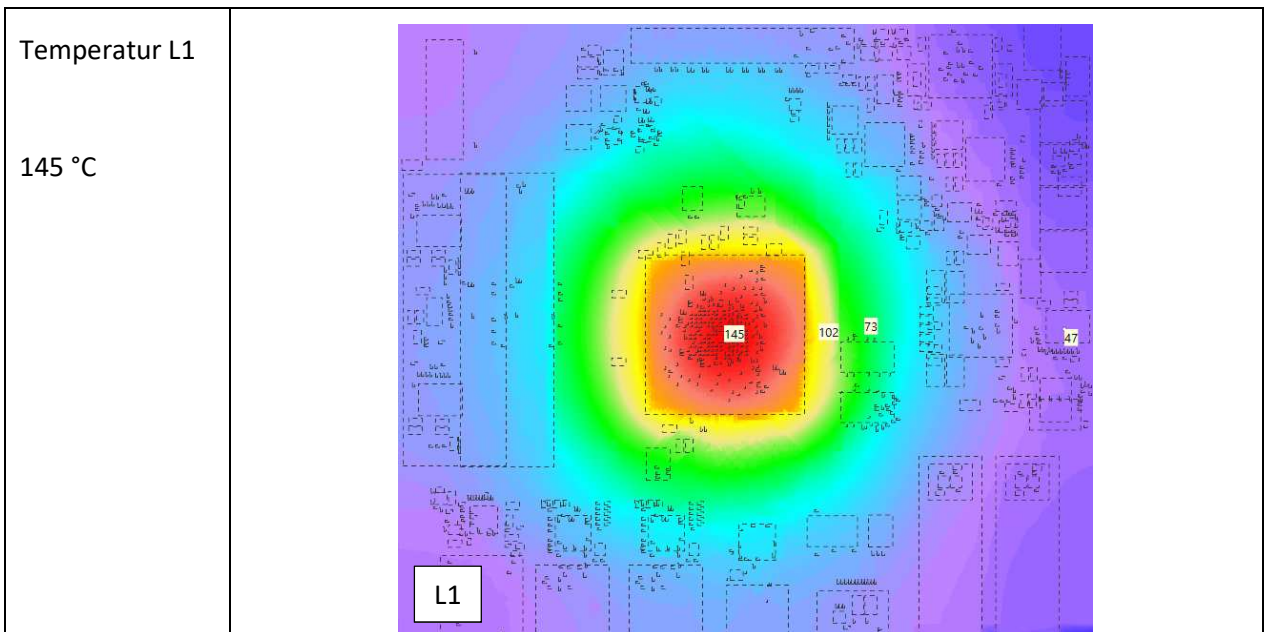






Top und Bottom sind etwa gleich warm. Das deutet auf eine gute Via Kühlung hin. Bei den kleinen Kästchen innerhalb der BGA Kontur handelt es sich um Bottom Kondensatoren und Widerstände.

Ohne BGA Vias


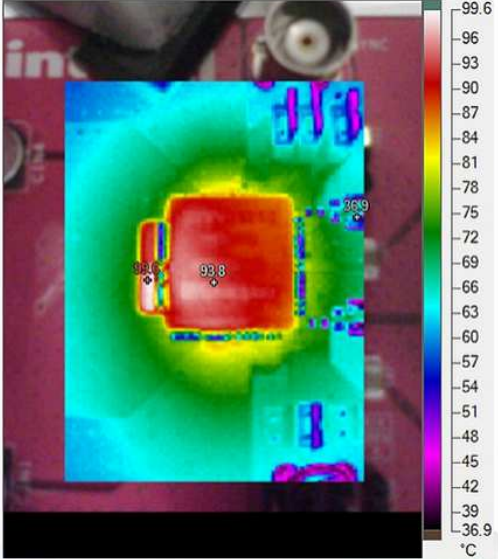


In der Tat wird es +20 K wärmer. Also tragen hier die Signalvias unter dem BGA effektiv zur Kühlung bei.

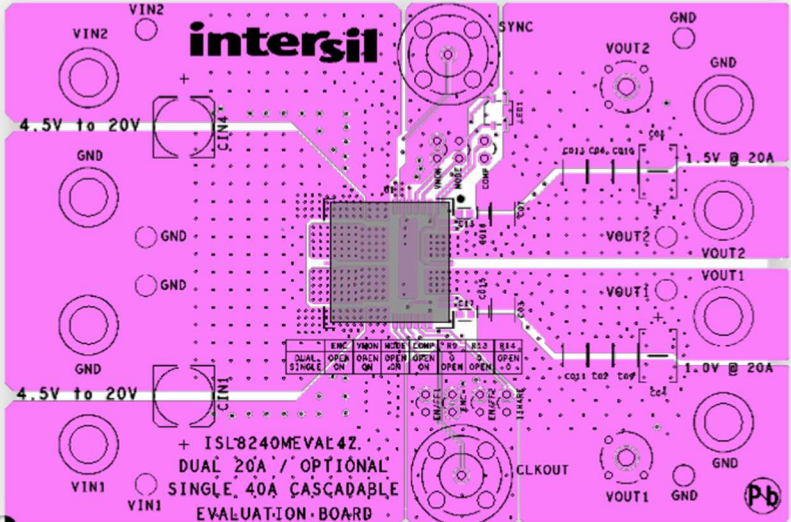
## 6. Intersil ISL8340

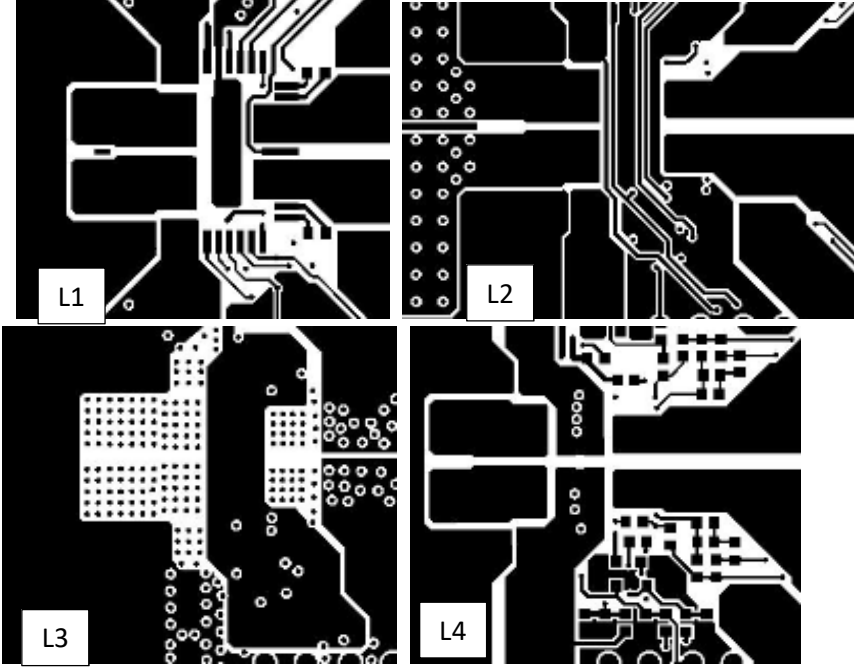
Dieses 4-Lagen-Board ist bereits als Case Study beschrieben (<https://www.adam-research.de/dokumente/fallstudien-en/>) . Das Infrarotbild und die Simulation stimmen vernünftig überein. Allerdings wird die Wärmespreizung durch die verwendete Art der Potentialtrennung, die in allen Lagen ungefähr gleich aussieht, behindert. Wärmevias dürften daher nicht effektiv sein können.

Daten

<p>Ansicht</p>	 <p><a href="https://www.adam-research.de/pdfs/TRM_CaseStudy1.pdf">https://www.adam-research.de/pdfs/TRM_CaseStudy1.pdf</a></p>
<p>Quelle</p>	<p><a href="https://www.edn.com/step-down-module-delivers-100-w-from-reduced-footprint/">https://www.edn.com/step-down-module-delivers-100-w-from-reduced-footprint/</a>          „The ISL8240M is a fully encapsulated step-down switching power supply from Intersil that is capable of providing up to 100 W of output power, while occupying a 17×17-mm footprint for use in infrastructure and cloud computing hardware.“</p>
<p>Messung 8 W  100 °C</p>	

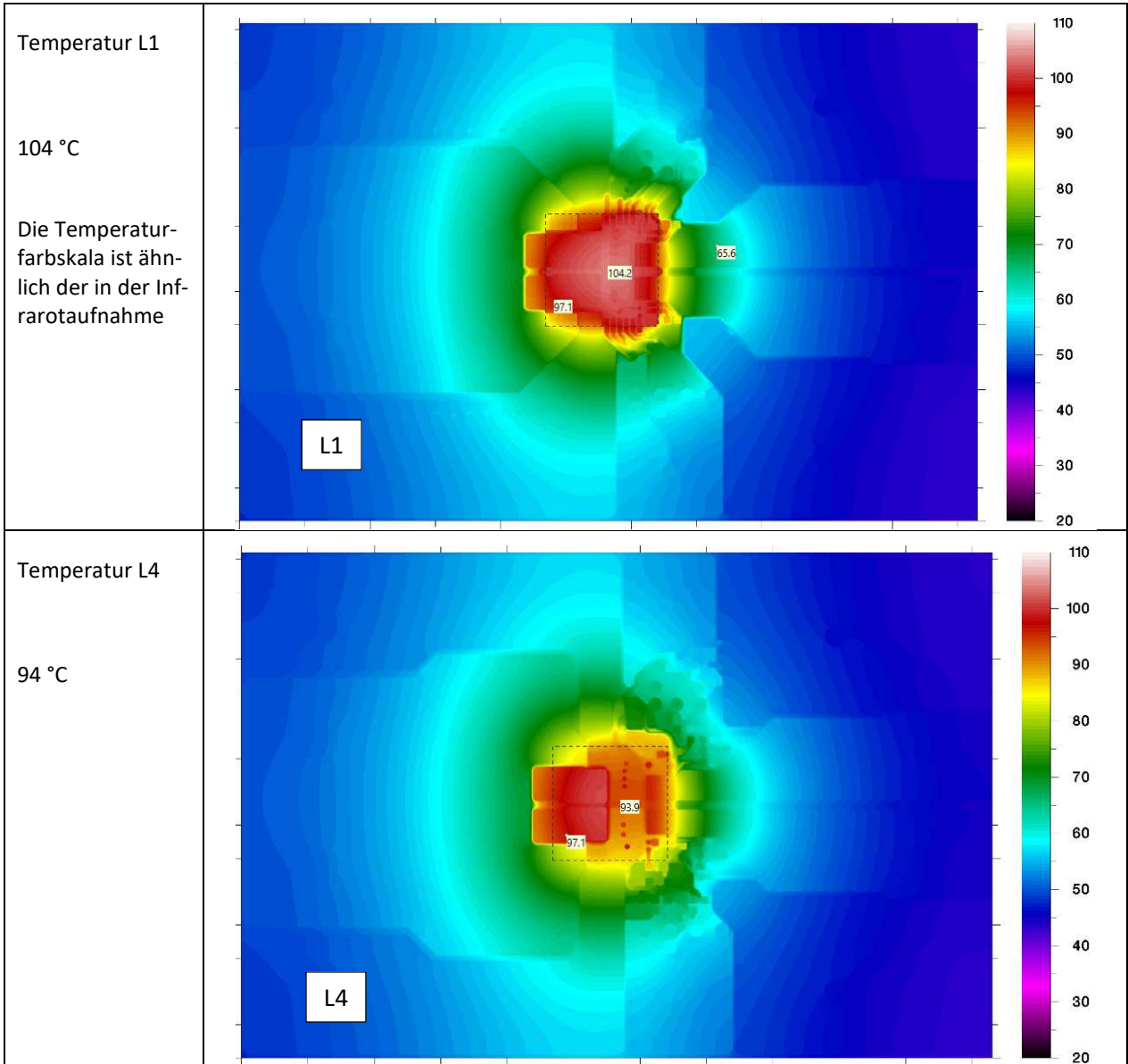
Modell

<p>Gesamtansicht  957 PTH</p>	
---------------------------------------	--

Lagenaufbau	<table border="1"> <thead> <tr> <th>Level ▲</th> <th>Name</th> <th>Type</th> <th>File</th> <th>View</th> <th>FR4 white?</th> <th>Thick (mu)</th> <th>Conductor</th> <th>Dielectric</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>L1</td> <td>ger</td> <td>layer1.art</td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>70</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> </tr> <tr> <td>2</td> <td>pre1</td> <td>pre</td> <td></td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>210</td> <td></td> <td>FR4\$TRM</td> </tr> <tr> <td>3</td> <td>L2</td> <td>ger</td> <td>layer2.art</td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> </tr> <tr> <td>4</td> <td>pre2</td> <td>pre</td> <td></td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>850</td> <td></td> <td>FR4\$TRM</td> </tr> <tr> <td>5</td> <td>L3</td> <td>ger</td> <td>layer3.art</td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>35</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> </tr> <tr> <td>6</td> <td>pre3</td> <td>pre</td> <td></td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>210</td> <td></td> <td>FR4\$TRM</td> </tr> <tr> <td>7</td> <td>L4</td> <td>ger</td> <td>layer4.art</td> <td><a href="#">View</a></td> <td><input checked="" type="checkbox"/></td> <td>70</td> <td>Cu\$TRM</td> <td>FR4\$TRM</td> </tr> </tbody> </table>	Level ▲	Name	Type	File	View	FR4 white?	Thick (mu)	Conductor	Dielectric	1	L1	ger	layer1.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM	2	pre1	pre		<a href="#">View</a>	<input checked="" type="checkbox"/>	210		FR4\$TRM	3	L2	ger	layer2.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	4	pre2	pre		<a href="#">View</a>	<input checked="" type="checkbox"/>	850		FR4\$TRM	5	L3	ger	layer3.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM	6	pre3	pre		<a href="#">View</a>	<input checked="" type="checkbox"/>	210		FR4\$TRM	7	L4	ger	layer4.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM
Level ▲	Name	Type	File	View	FR4 white?	Thick (mu)	Conductor	Dielectric																																																																	
1	L1	ger	layer1.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM																																																																	
2	pre1	pre		<a href="#">View</a>	<input checked="" type="checkbox"/>	210		FR4\$TRM																																																																	
3	L2	ger	layer2.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM																																																																	
4	pre2	pre		<a href="#">View</a>	<input checked="" type="checkbox"/>	850		FR4\$TRM																																																																	
5	L3	ger	layer3.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	35	Cu\$TRM	FR4\$TRM																																																																	
6	pre3	pre		<a href="#">View</a>	<input checked="" type="checkbox"/>	210		FR4\$TRM																																																																	
7	L4	ger	layer4.art	<a href="#">View</a>	<input checked="" type="checkbox"/>	70	Cu\$TRM	FR4\$TRM																																																																	
<p>Lagen 1 bis 4</p> <p>Nur Bauteilumgebung ist dargestellt</p>																																																																									
Verlustleistungsannahme	<p>8 W , wie im Experiment</p> <p><a href="http://www.edn.com/electronics-products/electronic-product-reviews/other/4439182/Unique-Intersil-thermal-design-removes-heat-from-encapsulated-compact-50A-power-modules">http://www.edn.com/electronics-products/electronic-product-reviews/other/4439182/Unique-Intersil-thermal-design-removes-heat-from-encapsulated-compact-50A-power-modules</a></p>																																																																								
Umgebung	<p>20 °C, freie Konvektion + Strahlung</p>																																																																								

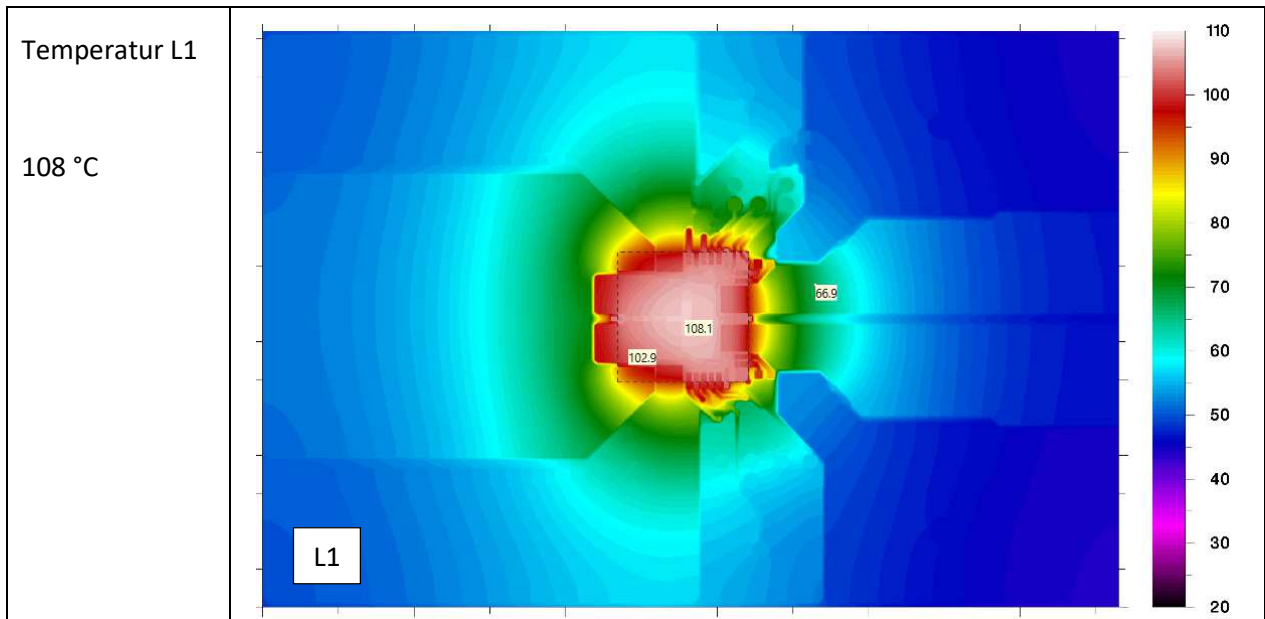
Berechnungsergebnisse

Original Viafeld





Ohne jedes Via



Tatsächlich wird es ganz ohne Vias nur +4 K wärmer. Also trägt hier so gut wie kein Via zur Kühlung bei.

## Literatur

Über das Thema Wärmevias gibt es viele Quellen und Dokumente im Internet. Hier nur ein kleiner Ausschnitt.

- [1] "A Quick PCB Thermal Calculation for Power Electronic Devices with Exposed Pad Packages" (2017) <https://www.onsemi.com/pub/Collateral/AND9596-D.PDF>
- [2] Adam, J., Schmidt, W.-D.: *Elektronikkühlung*. Vogel Verlag, Würzburg, 2021. <https://vogel-fachbuch.de/Elektronikkuehlung/978-3-8343-3462-6.P-book>
- [3] Stout, R.: "Thermal Considerations for a 4x4 mm QFN" (2009) <https://www.onsemi.com/pub/Collateral/AND8432-D.PDF>
- [4] TRM Thermal Risk Management. <https://www.adam-research.de/software/>
- [5] "Understanding Thermal Analysis of RF Devices" (2023) <https://www.qorvo.com/resources/d/understanding-thermal-analysis-of-rf-devices-application-note> (mit links zu video und web calculator)

### Kontakt:

Dr. Johannes Adam  
ADAM-Research  
Theodor-Heuss-Strasse 12  
69181 Leimen, Germany  
[info@adam-research.de](mailto:info@adam-research.de)  
<http://www.adam-research.de>